



日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年12月11日

出願番号

Application Number:

特願2000-375686

出願人

Applicant(s):

株式会社日立製作所

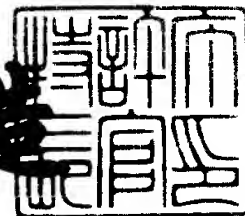
RECEIVED  
MAR-3 2003  
TECHNOLOGY CENTER 2800

T. Osabe et al  
fld 9-4-01  
1703-684-1120  
NIT-304

2001年 8月24日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3076157

【書類名】 特許願

【整理番号】 NT00P1038

【提出日】 平成12年12月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/115

【発明者】

    【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

    【氏名】 長部 太郎

【発明者】

    【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

    【氏名】 石井 智之

【発明者】

    【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

    【氏名】 矢野 和男

【発明者】

    【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

    【氏名】 小林 孝

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社日立製作所

【代理人】

    【識別番号】 100068504

    【弁理士】

    【氏名又は名称】 小川 勝男

    【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100094352

【弁理士】

【氏名又は名称】 佐々木 孝

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

ソース領域、ドレイン領域を有し、

上記ソース領域とドレイン領域は半導体からなるチャネル領域で接続され、

上記チャネル領域の電位を制御する金属または半導体からなるゲート電極を有し、

上記チャネル領域近傍に複数の電荷蓄積領域を有する半導体記憶素子を、  
行列状に並べたメモリセルアレイで、

第一の半導体記憶素子が隣接する第二のセルとソース領域を共有することを特徴とする半導体記憶素子または半導体装置。

【請求項 2】

ソース領域、ドレイン領域を有し、

上記ソース領域とドレイン領域は半導体からなるチャネル領域で接続され、

上記チャネル領域の電位を制御する金属または半導体からなるゲート電極を有し、

上記チャネル領域近傍に複数の電荷蓄積領域を有する半導体記憶素子を、  
行列状に並べたメモリセルアレイで、

第一の半導体記憶素子が隣接する第二のセルとソース領域を共有し、

第二の半導体記憶素子が隣接する第三のセルとドレイン領域を共有することを特徴とする半導体記憶素子または半導体装置。

【請求項 3】

ソース領域、ドレイン領域を有し、

上記ソース領域とドレイン領域は半導体からなるチャネル領域で接続され、

上記チャネル領域の電位を制御する金属または半導体からなるゲート電極を有し、

上記チャネル領域近傍に複数の電荷蓄積領域を有する半導体記憶素子を  
行列状に並べたメモリセルアレイで、

上記メモリセルアレイの素子分離領域のレイアウトが実質的に互いに並行に並んだ長方形の形状をなし、

上記半導体記憶素子のゲート電極を接続するワード線のレイアウトが実質的に互いに並行に並んだ長方形の形状をなし、

上記半導体記憶素子は隣接する 1 セルとのみソース領域の拡散層を共有する構造を有し、

上記半導体記憶素子のソース線は拡散層配線または金属配線によって 3 セル以上が互いに接続され、

上記互いに並行に並んだ長方形の素子分離領域と上記互いに並行に並んだ長方形の拡散層が実質的に並行であってかつ、上記互いに並行に並んだ長方形の素子分離領域と上記互いに並行に並んだワード線が実質的に互いに垂直の位置関係であることを特徴とするメモリセルアレイ。

【請求項 4】

ソース領域、ドレイン領域を有し、

上記ソース領域とドレイン領域は半導体からなるチャネル領域で接続され、

上記チャネル領域の電位を制御する金属または半導体からなるゲート電極を有し、

上記チャネル領域近傍に複数の電荷蓄積領域を有する半導体記憶素子を行列状に並べたメモリセルアレイで、

上記メモリセルアレイの素子分離領域のレイアウトが実質的に互いに並行に並んだ長方形の形状をなし、

上記半導体記憶素子のゲート電極を接続するワード線のレイアウトが実質的に互いに並行に並んだ長方形の形状をなし、

上記半導体記憶素子の複数のソース領域が互いに拡散層を介して接続されている構造を有し、

上記複数のソース領域を接続する拡散層のレイアウトが実質的に互いに並行に並んだ長方形の形状をなし、

上記互いに並行に並んだ長方形の素子分離領域と上記互いに並行に並んだ長方形の拡散層が実質的に並行であってかつ、上記互いに並行に並んだ長方形の素子

分離領域と上記互いに並行に並んだワード線が実質的に互いに垂直の位置関係であることを特徴とするメモリセルアレイ。

【請求項 5】

半導体からなるチャネル領域を有し、

上記チャネル領域近傍に複数の電荷蓄積領域を有し、

上記チャネル領域及び上記複数の電荷蓄積領域の電位を制御する金属または半導体からなる第一のゲート電極を有し、

半導体表面の上記チャネル領域とは異なる部分の電位を制御する金属または半導体からなる第二のゲート電極を有することを特徴とする半導体記憶素子。

【請求項 6】

ソース領域、ドレイン領域を有し、

上記ソース領域とドレイン領域は半導体からなるチャネル領域で接続され、

上記チャネル領域近傍に複数の電荷蓄積領域を有し、

上記チャネル領域の一部分及び上記複数の電荷蓄積領域の電位を制御する金属または半導体からなる第一のゲート電極を有し、

上記チャネル領域の一部分とは異なるチャネル領域の一部分の電位を制御する金属または半導体からなる第二のゲート電極を有することを特徴とする半導体記憶素子。

【請求項 7】

ソース領域、ドレイン領域を有し、

上記ソース領域とドレイン領域は半導体からなるチャネル領域で接続され、

上記チャネル領域の電位を制御する金属または半導体からなるゲート電極を有し、

上記チャネル領域近傍に複数の電荷蓄積領域を有し、

上記ゲート領域の両側の側面に半導体または金属からなる側壁構造を有し、

上記側壁構造と上記ゲート電極の間には絶縁膜を有することを特徴とする半導体記憶素子。

【請求項 8】

請求項 7 に記載の半導体記憶素子において、

上記ゲート電極両側の側壁構造のうちソース領域に近い方がソース領域と接続され、

ドレイン領域に近い方がドレイン領域に接続されることを特徴とする半導体記憶素子。

【請求項 9】

請求項 8 に記載の半導体記憶素子において、

上記側壁構造とソース領域あるいはドレイン領域が、

側壁構造とソース領域あるいはドレイン領域上に選択的に堆積された金属あるいは半導体によって接続されることを特徴とする半導体記憶素子。

【請求項 10】

請求項 5 から 9 のいずれかに記載の半導体記憶素子を複数個並べ、

データ線とワード線で駆動されるメモリセルアレイにおいて、

複数の半導体記憶素子のドレイン領域が同一データ線に接続され、

上記ドレイン領域が同一データ線に接続された複数の半導体記憶素子の第 2 のゲート電極が互いに接続され、

上記ドレイン領域が同一データ線に接続された複数の半導体記憶素子の第 1 のゲート電極が互いに異なるワード線に接続されることを特徴とする半導体記憶装置。

【請求項 11】

請求項 5 に記載の半導体記憶素子を複数個並べたメモリセルアレイにおいて、

第 1 の半導体記憶素子と第 2 の半導体記憶素子のチャネル電流が直列に流れるように接続され、

第 1 の半導体記憶素子の第 1 のゲート電極の両側のうち、

第 1 の半導体記憶素子の第 2 のゲート電極とは反対の側に第 2 の半導体記憶素子の第 2 のゲート電極が配置されることを特徴とする半導体装置。

【請求項 12】

半導体からなるチャネル領域を有し、

上記チャネル領域近傍に複数の電荷蓄積領域を有し、

上記チャネル領域及び上記複数の電荷蓄積領域の電位を制御する金属または半

導体からなる第一のゲート電極を有し、

半導体表面の上記チャネル領域に隣接する部分の電位を制御する金属または半導体からなる第二のゲート電極を有し、

半導体表面の上記チャネル領域に隣接し、上記第二のゲート電極とは反対側の部分の電位を制御する金属または半導体からなる第三のゲート電極を有する構造を含むことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶セル及び半導体装置に関する。

【0002】

【従来の技術】

近年、高速読み出し用途のフラッシュメモリが多くの携帯機器に導入されるようになってきている。高速読み出し用途には、一般に、メモリセルを並列に接続し、並列接続したセル2個につき1個のデータ線コンタクトを設けることによって、寄生抵抗を最小に押さえて高速読み出しをはかるメモリセルアレイが使用される。このメモリセルアレイそのものは、古くから知られているものであり、その例として久米、応用物理 65 p. 1114 (1996) を挙げる。

【0003】

フラッシュメモリは、そのメモリセルの信頼度確保が重要である。このメモリセルの信頼性確保のために、製造過程での技術的改革が多くなされてきているが、抜本的な技術は開発されていない。現在ではその代わりに、冗長なメモリセルを作っておき、電気回路的に、不良セルを置き換えるというECC技術などが広く使われている。

【0004】

マルチメディアの広がりとPDA、デジタルカメラ、携帯電話を始めとする携帯機器の発達によって、大容量不揮発性メモリが今後益々重要となる。特に小型化、アクセスの高速性、耐衝撃性から、フラッシュメモリを代表とする半導体不揮発性メモリが重要視されている。しかしながら大容量化が進み横方向のセル寸



法が加工技術のトレンドに従って縮小されて行く一方で、縦方向すなわち膜厚方向のスケーリングはほとんど進んでいない。これは低電界リークをはじめとする信頼性の問題のためであり、このため近い将来短チャネル効果が顕在化することが確実視されている。また使用電圧の低電圧化も行えないため、周辺回路の寸法が小さくできず、チップに対するメモリセルの面積の占有率が低下し、微細化してもチップ面積が小さくできないためコストが上昇する。

## 【 0 0 0 5 】

このような問題の内、書込み電圧の観点からは種々の方式が提案されている。関連した従来技術として、2次電子を注入に用いる J. D. Bude et al., IEEE International Electron Device Meeting 1995, p989-991, 1995、及び段差を利用してソースドレイン間電界を注入に用いる S. Ogura et al., IEEE International Electron Device Meeting 1998, p987-990, 1998を挙げる。

## 【 0 0 0 6 】

また、半導体不揮発性メモリの他の課題として価格の問題がある。現在ハードディスクや光磁気ディスク、DVD等と比較して容量あたりの価格が数倍以上高くなっている。従って低コスト化が必要となるが、単位セル当りに記憶する情報を2ビットとするいわゆる多値記憶技術が実用化されている。これは記憶ノード（フローティングゲート）内に注入する電子数を制御して多数のレベルを用意するというものである。多値記憶の従来技術例として T. Jung et al., IEEE International Solid-State Circuit Conference 1996, p32-33, 1996を挙げる。また、多数のレベルでなく、1セルのフローティングゲートを2分割して独立の情報を記憶する技術として、IEEE Transactions on Components, packaging, and Manufacturing Technology Part A, Vol. 20, 1997を挙げる。

## 【 0 0 0 7 】

## 【発明が解決しようとする課題】

ECC技術は、メモリセル単体に対する信頼度の要求を下げるができるが、その分、電子回路を間に挟むことになるので、読み出し、書込み及び消去の時間を犠牲にすることになる。したがって、特に高速な読み出し速度が要求されるアプリケーションに対しては、このECC技術をもちいることができず、セルの

信頼度が、直ちにメモリのコストに影響するという課題がある。

【0008】

フラッシュメモリセルはその浮遊ゲートに電荷を貯えることで、情報の記憶を行うが、その浮遊ゲートに1個所でもリークがあれば、そのメモリセルは不良となり、したがって、そのメモリセルを内包する記憶装置全体が不良となる。すなわち、浮遊ゲートの1個所のリークが記憶セル全体を不良とするため、記憶セルそのものの製造コストが高価になるという課題がある。

【0009】

そこで本発明の目的は、高速読み出しを保ちつつ、製造コストを低く押さえることができる半導体記憶装置とその制御方法を提供することにある。

【0010】

上述のように、電荷注入方法変更の観点から種々の方式が提案されており、いずれも通常のフラッシュメモリと比べ低電圧で電子注入（書込み）が可能であるが、電子放出（消去）においては使用電圧は変わらない。また短チャネル効果については課題の解決となっていない。

【0011】

次に、多値記憶において多数のレベルを用いることの課題を以下に述べる。セルのしきい電圧分布幅を1ビット記憶と比較して狭くしなければならず、書込みあるいは消去特性を揃えるためにパルス印加後に読み出しを行うベリファイ（verify）動作を繰り返しながらの書込みあるいは消去となる。このため平均的な電荷注入（放出）時間よりも数倍あるいは数十倍の時間が必要となり、チップ性能の低下を招く。また読み出し動作においても数回の読み出し動作後に演算を行って結果を出力するため、通常の1ビット記憶よりも性能が低下する。さらに、用意したしきい電圧分布の間が1ビット記憶より狭くなっているため、記憶の信頼性において課題がある。これら困難はセル当りの記憶情報が3ビット以上になるとさらに顕著となる。

【0012】

また、フローティングゲートを分割する技術では単一フローティングゲートを用いて多数のレベルを用意する場合よりも書込み、読み出しが高速化できる利点

があるが、加工が難しく、単位セル構造が大きくなってしまいコスト低減効果が小さいという課題がある。また、ドレイン端側電荷注入はドレインに大きい電圧をかけ、ドレイン端にホットエレクトロンを発生させて行う。このような方式はドレイン電流に対するフローティングゲートに注入される電流の割合が小さいため、大きなドレイン電流を必要とする。従って周辺回路の電流駆動能力の制限から同時に書込めるセル数が限られるため、大容量記憶に向かないという課題もある。

#### 【 0 0 1 3 】

以上から、本発明の目的とするところは、信頼性を確保しつつ縦方向のスクエリングを実現するセル構造を提供することである。また、セル性能を大きく低下させることなくセル当りの記憶情報を増加させる方法を提供することである。さらに、このようなセルによって大容量記憶装置を実現する方法を提供することである。

#### 【 0 0 1 4 】

##### 【課題を解決するための手段】

本発明は、従来からの単一の電荷蓄積領域からなるメモリセルを用いるものではなく、ソース領域、ドレイン領域あるいはソース領域およびドレイン領域に対応する位置でアクティブ領域から絶縁層を介して配列された多数の独立した電荷蓄積小領域よりなる電荷蓄積領域よりなる半導体記憶セルとすることにより、上述の問題点を解決することを提案するものである。

#### 【 0 0 1 5 】

本発明の具体的な構成、目的および特徴は、以下の実施の形態から明らかになるだろう。

#### 【 0 0 1 6 】

##### 【発明の実施の形態】

以下に、本発明の具体的な実施例による半導体セル、半導体装置及びその製法を説明する。

#### 【 0 0 1 7 】

##### （実施例 1）

実施例 1 による記憶装置のレイアウトを図 1 に示す。図 1 における II-II 位置で最小記憶単位の領域 J 6 から隣接するデータ線コンタクト J 5 までの範囲を矢印方向に見た断面を図 2 に示す。また、図 1 における III-III 位置で最小記憶単位の領域 J 6 の範囲を矢印方向に見た断面を図 3 に示す。実際にはもっと大規模のアレイを構成するが、図 1 は説明のため  $3 \times 4$  の小規模セルアレイを示す。P 型シリコン基板に設けられたセル分離領域 J 17 と、電荷が移動することができるアクティブ領域 J 1 がある。このアクティブ領域 J 1 に垂直に、ポリシリコンからなるワード線 J 2 があり、このワード線 J 2 に平行にタングステンからなるソース線 J 3 がある。また、このソース線 J 3 に垂直に、タングステンからなるデータ線 J 4 がある。アクティブ領域 J 1 上で、ワード線 J 2 に挟まれた領域に、データ線 J 4 とアクティブ領域 J 1 上のドレイン J 8 とを接続するデータ線コンタクト J 5 がある。一点鎖線で示す領域 J 6 が最小記憶単位である。図 1 では参照符号をほとんどすべての構成要素について示したが、以下の図面では参照符号を付けなくても分かるものについては、適宜省略する。

## 【 0 0 1 8 】

図 2 において、P 型シリコン基板に設けられた n 型のソース領域 J 7、ドレイン領域 J 8 があり、アクティブ領域 J 1 上に厚さ  $11\text{ nm}$  の絶縁膜 J 9 を介して電荷蓄積領域 J 12、J 13 として機能するシリコンの平均粒径  $13\text{ nm}$  の微少結晶粒 J 10 が多数ならべられている。電荷蓄積領域の電位を制御する n 型多結晶シリコンのワード線 J 2 が設けられており、シリコン微少結晶粒 J 10 とワード線 J 2 の間は下から順に厚さ  $4\text{ nm}$  の  $\text{SiO}_2$ 、厚さ  $8\text{ nm}$  の  $\text{Si}_3\text{N}_4$ 、厚さ  $4\text{ nm}$  の  $\text{SiO}_2$  のいわゆる ONO 構造の絶縁膜 J 11 からなる。J 14 - J 16 は絶縁層である。

## 【 0 0 1 9 】

図 3 において、電荷蓄積領域を構成するシリコン微少結晶粒はそれぞれが分離された独立した半導体の電荷蓄積小領域であるので、セル分離領域 J 17 上に電荷蓄積領域 J 18 が残っていてもメモリ動作上問題はない。ドライエッチング、あるいは、ウェットエッチング、あるいはその組み合わせで、このセル分離領域上の電荷蓄積領域 J 18 を除去してもよい。

## 【 0 0 2 0 】

図 4 に実施例 1 で用いられる記憶セル単体の回路図上の表記を示し、対応する部分に同一の参照符号を付した。

## 【 0 0 2 1 】

図 5 に実施例 1 の等価回路を示す。実際にはもっと大規模のアレイを構成するが、ここでは、説明のために、 $2 \times 2$  の小規模アレイを示している。

## 【 0 0 2 2 】

次に実施例 1 の動作を説明する。本発明ではワード線 J 2 とデータ線 J 4 に同時に電圧を印加して、ホットエレクトロンを発生させることで電荷蓄積領域 J 1 2、J 1 3 へ電子の注入を行う。

## 【 0 0 2 3 】

まず書込み動作を説明する。ここでは電荷を多く注入する条件を情報“1”に対応させ、注入電荷のより少ない状態を情報“0”に対応させることとする。今、図 5 における J 2 0 で表されるメモリセルを選択メモリセルとして、このメモリセル J 2 0 のみに情報“1”を書込む場合を例にとって説明する。データ線 J 2 6 の電圧をホットエレクトロン発生に十分な電界が出来るように設定する（例えば 5 V とする）。ソース線 J 3 の電位は 0 V に設定する。さらに、ワード線 J 2 4 の電圧を発生したホットエレクトロンを電荷蓄積領域（以下電荷蓄積ノードと言うこともある）に引き込むことができるように設定する（例えば、11 V とする）。このとき、ホットエレクトロンは、セル内では、ほとんどがデータ線 J 2 6 側で発生するため、図 2 における電荷蓄積領域 J 1 2 の部分に集中して蓄積される。

## 【 0 0 2 4 】

このとき、非選択メモリセル J 2 1 については、ワード線 J 2 5 の電位をセル内を電流が流れないような値に設定しておく（例えば 0 V とする）。また、非選択メモリセル J 2 2 に対しては、データ線 J 2 7 の電位をセル内を電流が流れないような値に設定しておく（例えば 0 V とする）。このとき、非選択メモリセル J 2 3 においては、ワード線 J 2 5 電位、データ線 J 2 7 電位、ソース線 J 3 電位も、セル内を電流が流れないような値（例えば 0 V とする）となっている。し

たがって、選択メモリセル J 2 0 に対する情報“1”書込み時に、非選択メモリセル J 2 1、J 2 2、J 2 3 の情報を破壊することがない。ここで、具体例としてあげた書込み電圧の関係を表 1 にまとめた。

【0 0 2 5】

【表 1】

表1

選択 ワード線 電圧	非選択 ワード線 電圧	選択 データ線 電圧	非選択 データ線 電圧	ソース線 電圧
11V	0V	5V	0V	0V

このとき、従来の電荷蓄積領域が単一の半導体からなる従来のフラッシュメモリでは、非選択メモリセル J 2 1 においてワード線とデータ線の間に高電圧がかかり、仮に、電荷蓄積領域と、データ線の間に 1 個所でもリークパスができてしまえば、蓄積されている情報はメモリセル単位で完全に破壊される。したがって、電荷蓄積領域とデータ線間の絶縁耐圧の品質管理は非常に重要なものとなり、ひいては、記憶装置全体のコストの増大を招く。しかしながら、実施例 1 では、電荷蓄積領域を構成しているシリコンの微少結晶粒がそれぞれ独立した半導体の電荷蓄積小領域であるから、一部のリークパスに接がる部分の微少結晶粒の電荷しか失われないため、蓄積されている情報がメモリセル単位で完全に破壊されるということではなく、安定に情報を記憶でき、製造コストを下げるができる。

【0 0 2 6】

非選択メモリ J 2 2 についても同様のことが言える。書き換えストレスによって、トンネル酸化膜の劣化がおこり、低電界で、電荷蓄積領域に 1 個所でもリークがおこるようになった場合、蓄積している情報は完全に破壊される。したがって、トンネル酸化膜のストレス印加時における絶縁耐圧の品質管理は非常に重要なものとなり、ひいては、記憶装置全体のコストの増大を招く。ここでも、非選択メモリセル J 2 1 の場合とまったく同様に、実施例 1 では、一部のリークパスに接がる部分の微少結晶粒の電荷しか失われないため、蓄積されている情報がメ

メモリセル単位で完全に破壊されるということは防止でき、安定に情報を記憶でき、製造コストを下げるができる。

## 【 0 0 2 7 】

また、書込み動作において負の基板バイアス電圧（例えば  $-2\text{V}$ ）を印可し、その分ワード線 J 2 5 電圧を下げる（例えば、 $9\text{V}$  とする）方法が有効である。基板に負電圧をバイアスするのは、3重ウェル構造を導入することで行う。この際、隣接する数個のメモリセル（例えば、J 2 1、J 2 2、J 2 3）で P ウェルを共通としておく。使用するワード線電圧の絶対値をさげることができるため、電圧発生回路が単純になるという利点に加え、ドレイン領域 J 8 で電界集中が起こりやすく、電子の注入効率が增大するという特徴がある。基板バイアスも用いて書込みを行う場合の電圧関係の具体例を表 2 にまとめる。

## 【 0 0 2 8 】

【表 2】

表 2

選択 ワード線 電圧	非選択 ワード線 電圧	選択 データ線 電圧	非選択 データ線 電圧	ソース線 電圧	基板電圧
9V	0V	5V	0V	0V	-2V

情報の消去動作について説明する。情報の消去に関しては、同一のワード線で駆動されるセルについて一括で消去を行う。ここでは、図 5 中における同一ワード線 J 2 4 で駆動されるメモリセル J 2 0、J 2 2 に対する消去に関して説明する。ワード線 J 2 4 に負の電圧（例えば  $-21\text{V}$ ）を印加する。たとえば、ソース線 J 3、データ線 J 2 6、J 2 7 の電位を  $0\text{V}$  とする。この時、高電界によって、注入されていた電子が基板側に放出される。なお、この時、ウェル電位を  $0\text{V}$  より高い電位（例えば  $5\text{V}$ ）に設定し、その分ワード線 J 2 4 に印加する電圧の絶対値を小さく（例えば  $-16\text{V}$ ）に設定してもよい。使用電圧の絶対値が小さくなり、電圧発生回路が簡単になる。

## 【 0 0 2 9 】

消去動作においても、単一の電荷蓄積領域をもつ従来技術に対する本実施例の

優位性は書込み動作と同様である。従来技術では、書き換えストレス印加の後、1 個所でもトンネル酸化膜に絶縁耐圧劣化がおこれば、消去速度の極端に早いメモリセルが出てきてしまうという不良があり得る。極端に消去速度の速いメモリセルは、ノーマリーオンとなってしまう、データ読み出しの際、誤動作を引き起こす。多数個の独立した半導体の電荷蓄積小領域よりなる電荷蓄積領域をもつ実施例 1 では、書込みの場合とまったく同様に、リークパスに接なかる電荷蓄積小領域の電荷しか失われないため、安定に情報を記憶でき、製造コストを下げることができる。

#### 【0030】

情報の読み出し動作について説明する。選択メモリセル J 2 0 の情報の読み出しを例にとって説明する。例えば、データ線 J 2 6 の電圧を 2 V、ソース線 J 4 の電圧を 0 V に設定し、ワード線 J 2 4 に 2 V の読み出しパルスを加える。電荷蓄積領域に注入された電荷量の大小に従って、しきい電圧が異なるため、“0”記憶のデータ線 J 2 6 の電流が“1”記憶のデータ線 J 2 6 の電流よりも大きいことから、情報の読み出しが行える。

#### 【0031】

次に、実施例 1 の製造工程を説明する。素子分離領域 J 1 7、3 重ウェル構造形成後、P ウェル上のメモリセル形成領域にしきい電圧調整のためボロンイオン打ち込みを行う。基板表面を酸化して厚さ 1 0 n m のトンネル酸化膜 J 9 を形成後、C V D (Chemical Vapor Deposition) によって、シリコン微結晶 J 1 0 を形成する。試作においては、平均 7 n m、1 平方センチメートルあたり  $5 \times 10^{11}$  個の密度で形成した。下から順に、厚さ 4 n m の  $\text{SiO}_2$ 、厚さ 8 n m の  $\text{Si}_3\text{N}_4$ 、厚さ 4 n m の O N O 構造の層間絶縁膜 J 1 1 を形成する。この段階で、レジストマスクで、周辺回路部分ゲートに当たる部分の O N O 膜をドライエッチング、シリコン微結晶のドライエッチングをおこない、しきい値調節のための不純物打ち込みを行い、さらに、酸化を行う。シリコン微結晶のエッチングはウエットエッチング、あるいは、ドライエッチングとウエットエッチングの組み合わせでもよい。O N O 膜ドライエッチングから酸化にかけてのプロセスを 2 回以上繰り返すことで、周辺回路に 2 種類以上のゲート酸化膜を使用することもできる。



## 【0032】

周辺回路部分のゲート電極とメモリセルワード線J2形成のため、200nmのn型多結晶シリコンを堆積し、さらに300nmのSiO<sub>2</sub>を堆積する。レジストマスクで、メモリセル部、及び周辺回路分ともSiO<sub>2</sub>のドライエッチングをおこなう。この結果メモリセル部分では、J14のようにSiO<sub>2</sub>が残ることになる。さらに、多結晶シリコンのドライエッチングを行う。ここで、メモリセル部のみレジストマスクで開口し、ONO膜をドライエッチングを行う。このまま、砒素、ボロンの不純物打ち込みをおこない、活性化アニールをおこなう。したがってメモリセル部ソース領域J7、ドレイン領域J8は、この段階では砒素からなる部分J7A、J8Aと、ボロンからなる部分J7B、J8Bによって構成されることになる。周辺回路部分も同様に不純物打ち込みによりソース領域、ドレイン領域を形成する。この後、Si<sub>3</sub>N<sub>4</sub>を堆積し、さらにSiO<sub>2</sub>を堆積する。平坦化を行い、さらに、SiO<sub>2</sub>を堆積する。ここで、メモリセル部データ線コンタクト、およびソース線をレジストマスクにて開口する。開口部分のSiO<sub>2</sub>をドライエッチで除去する。除去されないSiO<sub>2</sub>はJ16のように残ることになる。この際、下地がSi<sub>3</sub>N<sub>4</sub>なので、SiO<sub>2</sub>とSi<sub>3</sub>N<sub>4</sub>のドライエッチングにおける選択性により、メモリセル部データ線コンタクト、ソース線のレジストパターンに多少のずれがあっても自己整合的に正しいドレイン領域、ソース領域に開口する。さらに、下地のSi<sub>3</sub>N<sub>4</sub>をエッチングすることで、基板のソース領域、ドレイン領域が開口する。このSi<sub>3</sub>N<sub>4</sub>エッチングによって、Si<sub>3</sub>N<sub>4</sub>からなるサイドウォールJ15が形成される。ここで、コンタクトをより強靱にするために、リンの不純物打ち込みをおこない、活性化アニールを行う。リンはJ8Cの部分に拡散することになる。この後、SiO<sub>2</sub>の薄膜を堆積し、さらにエッチバックを行うことで、データ線コンタクトJ5間のショートを防いでも良い。この後、周辺回路部分もレジストマスクで開口し、エッチングをおこない、コンタクトを強靱なものにするため、同様に不純物打ち込み、活性化アニールを行う。この後、タングステンを堆積し、平坦化を行う。平坦化の後、SiO<sub>2</sub>を堆積し、メモリセルドレインコンタクト部分をレジストマスクでエッチングすることで開口する。この後、再度タングステンを堆積する。このタングステンをレジ

ストマスクでエッチングを行い、データ線（J 4）を形成する。以下同様の工程を繰り返して、配線工程を行う。

### 【 0 0 3 3 】

#### （実施例 2）

第 2 の実施例を説明する。メモリセルレイアウト、断面図、等価回路は実施例 1 と同様である。以下、実施例 2 の動作を説明する。実施例 2 では、電荷蓄積の場所を変えることで、メモリセルあたり 2 b i t 以上の記憶を行う。

### 【 0 0 3 4 】

まず、情報の書込みについて説明する。図 5 における選択メモリセル J 2 0 のデータ線 J 2 6 側の電荷蓄積領域 J 1 3 に電荷を注入することで、情報“0 1”を書込むことを例に説明する。データ線 J 2 6 の電圧をホットエレクトロン発生に十分な電界が出来るように設定する（例えば 5 V とする）。ソース線 J 3 電位は 0 V に設定する。さらに、ワード線 J 2 4 の電圧を発生したホットエレクトロンを電荷蓄積ノード J 1 3 に引き込むことができるように設定する（例えば 1 1 V とする）。このとき、選択セル J 2 0 内では、ホットエレクトロンはほとんどがデータ線 J 2 6 に接続されている側の電荷蓄積領域で発生するため、図 2 における電荷蓄積領域 J 1 3 の部分に集中して蓄積される。このとき、ソース線 J 3 に接続されている側の電荷蓄積領域ではホットエレクトロンはほとんど発生しないため、ソース線 J 3 に接続されている側の電荷蓄積領域 J 1 2 での情報の破壊は起こらない。ソース線 J 3 に接続されている側の電荷蓄積領域 J 1 2 に電荷を注入することで、情報“1 0”を書込むためには、前記設定のデータ線 J 2 6 とソース線 J 3 の電圧を入れ替えればよい。

### 【 0 0 3 5 】

また、書込み動作において負の基板バイアス電圧（例えば - 2 V）を印可し、その分ワード線 J 2 4 の電圧を下げる（例えば、9 V とする）方法が有効であるのは、実施例 1 と同様である。

### 【 0 0 3 6 】

情報の消去動作について説明する。情報の消去に関しては、同一のワード線で駆動されるセルについて一括で消去を行う。ここでは、図 5 中における同一ワー

ド線 J 2 4 で駆動されるメモリセル J 2 0、J 2 2 に対する消去に関して説明する。ワード線 J 2 4 に負の電圧（例えば - 2 1 V）を印加する。ソース線 J 3、データ線 J 2 6、J 2 7 の電位を、たとえば、0 V とする。このため、高電界によって、注入されていた電子が基板側に放出される。なお、このとき、ウェル電位を 0 V より高い電位（例えば 5 V）に設定し、その分ワード線 J 2 4 に印加する電圧の絶対値を小さく（例えば - 1 6 V）に設定してもよい。使用電圧の絶対値が小さくなり、電圧発生回路が簡単になる。

#### 【 0 0 3 7 】

読み出し動作を図 6 を参照しながら説明する。ここでは、選択メモリセル J 2 0 から情報を読み出すことを例にとって説明する。選択メモリセル J 2 0 を構成するトランジスタを飽和領域で動作させる。ソース線 J 3 側の電荷蓄積領域 J 1 2 に蓄積された情報を読み出すためには、データ線 J 2 6 に 2 V、ソース線 J 3 に 0 V、ワード線 J 2 4 に 2 V を印加する。このとき、チャネル J 3 0 が形成されるが、ワード線 J 2 4 直下の基板表面付近のうちデータ線 J 2 6 に接続されている側は、ピンチオフしており、チャネルが形成されない。この結果、しきい電圧に影響をあたえるのは、ソース線 J 3 側の電荷蓄積領域 J 1 2 のみであり、データ線 J 2 6 側の電荷蓄積領域 J 1 3 の蓄積電荷の影響を除外できる。ソース線 J 3 側の電荷蓄積領域 J 1 2 における蓄積電荷が多ければしきい電圧が高く、少なければしきい電圧が低いため、蓄積電荷量に応じて、選択メモリセル J 2 0 のコンダクタンスが異なる。このコンダクタンスの違いで流れる電流が異なり、データ線の電圧が異なるから、データ線の電圧の違いで情報読み出しを行う。データ線 J 2 6 側の電荷蓄積領域 J 1 3 の情報を読み出すためには、データ線 J 2 6 とソース線 J 3 の設定電圧を入れ換えればよい。

#### 【 0 0 3 8 】

前記書込み動作、読み出し動作は単純にソース、ドレインの設定電圧を入れ替えてだけで切り替えることができる。従って単一フローティングゲート中に注入する電荷量によって 4 レベルを作る方式に比べて書込み動作、読み出し動作に必要なステップが少なく、高速動作が可能である。また電荷蓄積領域の両端のそれぞれでは情報“0”か“1”かの 2 レベル動作となるため動作マージンも増加する

## 【 0 0 3 9 】

従来の書込み動作においては、多レベルを用いる場合、しきい電圧のセル間分布広がり的高度に抑制する必要がある。このため書込みパルス印加後に読み出しを行い、所定のしきい電圧に達していない場合に再度書込みパルスを印加する動作を繰り返すいわゆるベリファイ動作を行っており、書込みスループット低下の要因となっている。従って実施例 2 の高速化の効果は特に書込み動作で顕著である。加えて実施例 2 では電荷蓄積領域を構成しているシリコンの微少結晶粒が多数あるため書込みの平均化が行われる。この結果セル間のばらつきが低減し、ベリファイ動作を行わずともセルあたり 2 ビットを記憶する動作が可能である。書込み平均化はトンネル絶縁膜の欠陥等に起因してセルによって異常に書込みが高速に進む不良に対しても有効である。

## 【 0 0 4 0 】

次に周辺回路まで含めた記憶装置全体の駆動方法を説明する。まず図 7 を参照して書込み動作を説明する。外部より入力されたアドレスに従ってソース端書込みを行うかドレイン端書込みを行うかの信号  $WSELECTJ40$  を発生させる。発生された信号  $WSELECTJ40$  に応じて  $VWSS$  または  $VWSD$  のいずれかにソース線  $J41$  の電圧を切り替える。入力データはまずラッチ  $J42$  に格納される。ここでは入力電圧  $high$  を情報 “1” に、 $low$  を情報 “0” に対応させることとする。セル  $J43$  のソース端書込み動作においては、ソース線  $J41$  に  $VWSS$  (例えば 0 V) を加え、データ線  $J44$  の電圧を書込みたい情報が “0” なら  $VWDL$  (例えば 0 V)、“1” ならより高い電圧  $VWDH$  (例えば 5 V) に設定し、ワード線  $J45$  に高電圧  $VWW$  (例えば 12 V) のパルスを与える。 $VWDL$  に設定された場合ホットエレクトロンがほとんど発生しないため、記憶ノードへの電荷注入は少なく、 $VWDH$  の設定の場合注入電荷量が多い。この時同じワード線で駆動される他のセルについても、接続されているデータ線電圧を書込みたいデータに応じて  $VWDL$  または  $VWDH$  に設定すれば同時に情報が書込まれる。ここで “0” 書込みでは電荷が注入されず、従って書込みを行わないのと同様であるため、同一ワード線で駆動されるセルの一部のみ情報

書きこみを行うことも可能である。また他のワード線については高電圧VWWより低い電圧VW0（例えば0V）とすれば書込みは行われぬ。

#### 【0041】

次にドレイン端への書込みを説明する。ソース線J41にVWSD（例えば5V）を加え、データ線J44の電圧はソース端書込みと同様に情報が“0”ならVWDL（例えば0V）、“1”ならVWDH（例えば5V）に設定する。この後ワード線J45に高電圧VWW（12V）のパルスを与えることで書込みができる。ここでソース端書込みではデータ線VWDHが電荷注入条件であるのに対し、ドレイン端書込みではデータ線VWDLが電荷注入条件であるため、記憶している情報としきい電圧の高低の対応関係がソース端とドレイン端で逆転するという特徴がある。

#### 【0042】

情報の消去動作は同一ワード線で駆動されるセルについて一括で行い、ソース端とドレイン端の情報を同時に消去する。

#### 【0043】

次に情報読み出しを図8を参照して説明する。まず外部から与えられる、読み出したいメモリセルのアドレスに応じて、ソース端読み出しを行うかドレイン端読み出しを行うかの信号RSELECTJ50を発生させる。このアドレスから選択信号RSELECTを発生させる回路は書込み時の選択信号発生回路と共通でよい。発生された信号RSELECTJ50に応じて以下に説明するようにソース線J51電圧、プリチャージ電圧およびリファレンス電圧を切り替える。セル55のソース端情報を読み出すには、ソース線J51をVRSS（例えば0V）に設定し、データ線J52をVRSSより高い電圧VPCS（例えば3V）にプリチャージした後にワード線に電圧VWR（例えば2V）の読み出しパルスを加える。この時ソース端のしきい電圧が高い場合電流があまり流れず、データ線J52電位はVPCSからあまり変動しないのに対し、ソース端のしきい電圧が低い場合電流大きな電流が流れ、データ線J52電位はVPCSから大きく下がって行く。差動増幅型のセンスアンプJ54の一端はデータ線に接続し、他端J55にはVPCSより小さい電圧VREFS（例えば2.4V）を参照電位と

して与えておく。所定のタイミングでセンスアンプ J 5 4 を動作させることでソース端のしきい電圧が高い場合には高い電位に、低い場合には低い電位に増幅される。このセンスアンプ起動タイミングは、しきい電圧が低い場合においてもメモリセルが飽和領域で動作する程にデータ線電圧が高い状態に設定するのが望ましい。つまりソース端のしきい電圧が低い場合のしきい電圧を  $V_{th}$  として、 $V_{WR} - V_{th}$  よりもデータ線電圧が高い状態でセンスアンプを起動するのが望ましい。ドレイン端の記憶情報の影響を受けにくく、安定した動作が行えるためである。

#### 【 0 0 4 4 】

ドレイン端情報読み出しでは設定電圧が異なる。ソース線 J 5 1 を  $V_{RSS}$  よりも高い電圧  $V_{RSD}$  (例えば 3 V) に設定し、データ線 J 5 2 を  $V_{RSD}$  よりも低い電圧  $V_{PCD}$  (例えば 0 V) にプリチャージした後にワード線に電圧  $V_W$  (2 V) の読み出しパルスを印加する。この時ドレイン端のしきい電圧が高い場合電流があまり流れず、データ線 J 5 2 電位は  $V_{PCD}$  (0 V) からあまり変動しないのに対し、ドレイン端のしきい電圧が低い場合電流大きな電流が流れ、データ線 J 5 2 電位は  $V_{PCD}$  (0 V) から大きく上がって行く。センスアンプに与える参照電位は  $V_{PCD}$  (0 V) より大きい電圧  $V_{REFD}$  (例えば 0.6 V) を与える。所定のタイミングでセンスアンプ J 5 4 を動作させることでドレイン端のしきい電圧が高い場合には低い電位に、低い場合には高い電位に増幅される。従ってここで再び増幅結果と各端のしきい電圧の大小関係がソース端とドレイン端で逆転しており、上に説明した書込み方法と併せて正しい動作となる。前記書込み、読み出し動作を表 3 にまとめた。

#### 【 0 0 4 5 】

【表 3】

表 3

	外部からの 入力情報	書込み時 データ線 設定	セル しきい値	読出し増 幅後デー タ線電圧	外部への 出力情報
ソース端 記憶	"0" (L)	VWDL(L)	(L) (ソース端)	(L)	"0" (L)
	"1" (H)	VWDH(H)	(H) (ソース端)	(H)	"1" (H)
ドレイン端 記憶	"0" (L)	VWDL(L)	(H) (ドレイン端)	(L)	"0" (L)
	"1" (H)	VWDH(H)	(L) (ドレイン端)	(H)	"1" (H)

## (実施例 3)

実施例 3 による記憶装置のレイアウトを図 9 に示す。実際にはもっと大規模のアレイを構成するが、ここでは説明のため  $2 \times 5$  の小規模セルアレイを示す。P 型シリコン基板に、セル分離領域 J 1 0 0 と、このセル分離領域に平行にローカルソース線である n 型拡散層領域 J 1 0 1 とローカルデータ線である n 型拡散層領域 J 1 0 3 がある。この拡散層領域 J 1 0 1 に垂直に、n 型多結晶シリコンからなるワード線 J 1 0 4 がある。また、n 型拡散領域 J 1 0 1、J 1 0 3 にはさまれ、ワード線 J 1 0 4 の直下ではない部分に p 型拡散層 J 1 0 2 がある。J 1 0 5 が最小記憶単位である。実際にはもっと大規模のアレイを構成するが、ここでは、説明のために、 $2 \times 5$  の小規模アレイを示している。

## 【0 0 4 6】

図 9 における X-X 位置で最小記憶単位の領域 J 1 0 5 を中心とした両側のワード線 J 1 0 4 までの範囲を矢印方向に見た断面を図 1 0 に示す。また、XI-XI 位置で最小記憶単位の領域 J 1 0 5 の範囲を規定しているセル分離領域 J 1 0 0 を中心として矢印方向に見た断面を図 1 1 に示す。P 型シリコン基板に設けられた n 型のローカルソース線 J 1 0 1、ローカルデータ線 J 1 0 3 があり、アクティブ層 J 1 1 7 上に厚さ 8 nm の絶縁膜 J 1 0 6 を介して電荷蓄積領域となるシリコンの平均径 12 nm の微少結晶粒 J 1 0 7 が多数ならべられている。J 1 1 1 に電荷蓄積領域を代表して示す。電荷蓄積領域の電位を制御する n 型多結晶

シリコンのワード線 J 1 0 4 が設けられており、シリコン微少結晶粒 J 1 0 7 とワード線 J 1 0 4 の間には下から順に厚さ 5 nm の  $\text{SiO}_2$ 、厚さ 8 nm の  $\text{Si}_3\text{N}_4$ 、厚さ 5 nm の  $\text{SiO}_2$  のいわゆる ONO 構造の絶縁膜 J 1 0 8 からなる。J 1 1 6 は絶縁層である。実施例 1 と同様に、セル分離領域 J 1 0 0 上に電荷蓄積領域 J 1 1 0 が残っていてもかまわない。ドライエッチング、あるいは、ウェットエッチング、あるいはその組み合わせで、このセル分離領域上の電荷蓄積領域 J 1 1 0 を除去してもよい。また、ローカルソース線 J 1 0 1 とローカルデータ線 J 1 0 3 は p 型拡散領域である J 1 0 2 によって分離されている。

## 【 0 0 4 7 】

本実施例で用いられる記憶セル単体の回路図上の表記は図 4 に示す実施例 1 と同じである。

## 【 0 0 4 8 】

図 1 2 に実施例 3 の等価回路を示す。実際にはもっと大規模のアレイを構成するが、ここでは、説明のために、 $2 \times 5$  の小規模アレイを示している。複数のメモリセルがローカルソース線 J 1 0 1、ローカルデータ線 J 1 0 3 で拡散層で互いに配線されている。このローカルソース線 J 1 0 1 は選択トランジスタ S T 1 を介して、グローバルソース線 J 1 2 0 に、ローカルデータ線 J 1 0 3 も選択トランジスタ S T 2 を介してグローバルデータ線 J 1 2 1 に接続されている。

## 【 0 0 4 9 】

実施例 1 においては、並列接続したメモリセル 2 個ごとに、メタルのデータ線コンタクト、ソース線を設けていたのに対して、本実施例では、多数のメモリセルが拡散層で、データ線コンタクト、ソース線を共有していることが特徴である。データ線コンタクトの数が劇的に減少するため、高密度にメモリセルを実装でき、コスト削減に大きな効果がある。反面、読み出し時の寄生抵抗が大きくなり、読み出し速度が減少するが、データ線、ソース線を階層化することにより、速度低減を最小に押さえることができる。

## 【 0 0 5 0 】

## (実施例 4)

第 4 の実施例を説明する。実施例 4 は動作原理において実施例 2 と同様であり



、基本構成において実施例 3 と同様である。図 1 3 に等価回路図を示す。ここでは、説明のためにメモリセル数を少なくして示しているが、実際には行方向、列方向ともに多くのセルを並べる。図 1 3 の鎖線で囲んだ部分 J 1 3 1 が単位アレイ構造である。複数のメモリセルのソース領域 J 1 3 2、ドレイン領域 J 1 3 3 とともに拡散層で互いに接続されており、ローカルデータ線 J 1 3 2、J 1 3 3 を形成する。ローカルデータ線 J 1 3 2 は選択トランジスタ S T 3 - S T 6 を介して、ソース線 J 1 3 4、J 1 3 5、グローバルデータ線 J 1 3 6 のいずれかに選択的に接続される。選択トランジスタ駆動用信号線 J 1 3 7、J 1 3 8 には互いに反転する信号を入力されるから、選択トランジスタ S T 3、S T 4 がオンのときはローカルデータ線 J 1 3 3 をソース領域として、ローカルデータ線 J 1 3 2 をドレイン領域として使用でき、選択トランジスタ S T 5、S T 6 がオンのときはローカルデータ線 J 1 3 2 をソース領域として、ローカルデータ線 J 1 3 3 をドレイン領域として使用できる。選択トランジスタ駆動用信号線 J 1 3 7、J 1 3 8 への入力信号を各々反転させれば逆の役割として機能する。

#### 【 0 0 5 1 】

実施例 2 の駆動方法と比較して選択トランジスタが必要となるが、ソース端とドレイン端読み出しでソース線 J 1 3 4、J 1 3 5 とグローバルデータ線 J 1 3 6 の電圧設定が同じで良いこと、ソース線 J 1 3 4、J 1 3 5 電位を固定して用いることができるためソース線駆動用電圧切り替え回路が省略できる等の利点がある。また、これらの選択トランジスタは、実施例 4 のアレイ構成なら同一ローカルデータ線 J 1 3 2、J 1 3 3 で駆動される複数のセルについて共通に設ければよいので面積増加は少ない。

#### 【 0 0 5 2 】

実施例 1 ではソース J 7 とドレイン J 8 を結ぶ電流方向とワード線 J 2 の走る方向は互いに垂直の関係にあるが、実施例 4 のアレイ構成ではこれが平行な方向にある。実施例 4 の作製方法を用いれば図 9 のようにソース領域 J 1 0 1、ドレイン領域 J 1 0 3 を結ぶ方向とワード線 J 1 0 4 方向が平行である構造の作製が容易にできる。

#### 【 0 0 5 3 】

## (実施例 5)

以下には、前述の実施例とは一部構造を異にする半導体セル及び半導体装置を説明する。

## 【0054】

図14は、実施例5による記憶セルを図16のXIV-XIV位置で矢印方向に見た断面構造図を示す。P型シリコン基板M77aにn型のウエル領域M77bが設けられており、さらにその中にp型のウエルM77cが設けられている、いわゆる3重ウエル構造を持つ。p型ウエル内にn型のソースM69、ドレインM70領域があり、アクティブ領域の一部M76、M77上に厚さ8nmのトンネル酸化膜M72を介して電荷蓄積領域となるシリコンの平均径15nmの微少結晶粒M71が多数ならべられている。アクティブ領域の一部M77と電荷蓄積領域の電位を制御するn型多結晶シリコンの第1のゲート電極M74が設けられており、シリコン微少結晶粒M71とゲート電極M74の間は下から順に厚さ4nmの $\text{SiO}_2$ 、厚さ8nmの $\text{Si}_3\text{N}_4$ 、厚さ4nmの $\text{SiO}_2$ のいわゆるONO構造の絶縁膜M73からなる。また、アクティブ領域の一部M76の電位を制御する第2のゲート電極M75構造がある。尚、図14では3重ウエル構造を明示したが他の実施例では図の煩雑さを避けるため省略する。

## 【0055】

図14に対応した回路図における表現を図15に示す。第1のゲートM74、第2のゲートM75、ソースM69、ドレインM70、電荷蓄積領域M71に各々対応する参照符号をつけている。基板バイアスをメモリセル制御に用いる場合には異なるp型ウエル間を異なる電位に設定するために3重ウエル構造が有効である。ただし、n型基板を用いればメモリセル部分では2重ウエル構造で十分である。

## 【0056】

次に実施例5の動作を説明する。実施例5では第2のゲート電極M75を補助電極として用いることで電荷蓄積領域M71へのホットエレクトロン注入を高効率で行う。

## 【0057】

まず書込み動作を説明する。書込みたい情報に応じてドレイン領域M70の電圧を設定する。ここでは電荷を多く注入する条件を情報“1”に対応させ、注入電荷のより少ない状態を情報“0”に対応させることとする。情報“1”書込みではホットエレクトロン発生に十分な電界が出来るように設定する（例えば5Vとする）。ソース領域M69は0Vに設定する。情報“0”書込みではソースドレイン間電位差を小さく設定する（例えば0Vとする）。第2のゲート電極M75を所定の電圧（例えば2V）に設定する。第1のゲート電極M74に第2のゲート電極M75よりも高い高電圧（例えば12V）の書込みパルスを印加する。この時第2のゲート電極M75下のアクティブ領域M76の抵抗は、第1のゲート電極M74下のアクティブ領域M77の抵抗よりも大きい。従ってソース、ドレイン間電圧はほとんどが第2のゲート電極M75下のM76に印加される。また、第2のゲート電極M75下のアクティブ領域M76においてもドレインM70に近い側の方が電位が高く、実効的なゲート電圧が低くなるために高抵抗となる。このためホットエレクトロンは第2のゲート電極M75下のM76のドレインM70に近い端でより多く発生する。発生したホットエレクトロンは第1のゲート電極M74による電界で電荷蓄積領域M71方向に加速され、注入が起きる。注入場所は第1のゲート電極M74下で第2のゲート電極M75に近い領域M78に集中する。このときソースドレイン間を流れる電流は、第2のゲート電極M75下のアクティブ領域M76の抵抗が高いために補助ゲートを持たない構造と比べて小さいため、高効率の注入が可能となって電流が少なくても良い。単位セル当りの書込み電流が少ないことから一回の書込み動作で書きこめるセル数を多く設定することが可能であり、メモリチップとしての書きこみスループット向上が可能である。特に比較的大きなデータ単位で外部との情報のやりとりを行う大容量記憶に好適である。“0”書込みではソースドレイン間電圧が小さいためホットエレクトロンが発生せず、電荷注入が行われない。

#### 【0058】

次に読み出し動作を説明する。例えばドレイン電圧を2V、ソース電圧を0V、第2のゲート電極M75の電圧を3.5Vに設定し、第1のゲート電極M74に2Vの読み出しパルスを加える。電荷蓄積領域M73に注入された電荷量の

小に従ってしきい電圧が異なるため、“0”記憶のドレイン電流が“1”記憶のドレイン電流よりも大きいことから読み出しが行える。

## 【0059】

尚、実施例5は第2のゲート電極構造をもたないセル構造と比較し、以下に述べる理由により読み出し動作においても有利である。つまり第2のゲート電極構造をもたないセル構造ではホットエレクトロンはドレイン付近の記憶領域に注入されることになるが、高しきい値状態ではトランジスタが飽和領域動作となり、ドレイン端付近でチャネルがピンチオフするため注入電荷の影響が小さくなる。この結果十分な電荷注入が起こっているにもかかわらず見かけ上しきい電圧シフトが小さくなり、動作マージンが減少する。これを回避する手段として、MOSトランジスタのホットキャリア評価で知られているように、ソース、ドレインを入れ替えた電圧設定で読み出しを行うことが有効であるが、メモリの動作速度低下、周辺回路の複雑化等のペナルティが伴う。本発明はソースドレインの中間に電荷注入が行われるため注入された電荷の影響を効率的に読み出すことが可能である。

## 【0060】

また実施例5は不揮発記憶が可能であり、電源を切っても記憶が保持される。特に記憶ノードが多く、独立した半導体の微小粒M71から成るため、書換えストレスによって絶縁膜が劣化し、低電界でリークが生じるようになって一部のリークパスにつながる部分の微小粒の電荷しか失われないため安定した保持が可能となる。他方通常のフラッシュメモリではリークパスによって記憶ノードの電荷が次々と抜けて行くため影響が大きい。この書換えを繰り返した後のリーク電流によってフラッシュメモリのトンネル絶縁膜厚が律則されている。実施例5では信頼性が向上する分トンネル絶縁膜を薄くすることが可能であり、セル全体の縦方向のスケーリングにおいてフラッシュメモリより優れている。

## 【0061】

情報の消去は第1のゲート電極M74に負の電圧を印加して行う。例えばソースM69、ドレインM70をとともに0Vとし、第1のゲート電極M74を-18Vとする。この時高電界によって注入されていた電子が基板側に放出される。消

去動作はドレイン端、ソース端一括で行う。尚、この時ウエルM77cの電位を0Vよりも高い電位（例えば5V）に設定し、その分ゲート電極M74電位の絶対値を地小さく（例えば-13V）設定してもよい。使用電圧の絶対値が小さくなり電圧発生回路が簡単になる。

#### 【0062】

次に図14、図16を参照して実施例5の製造工程を説明する。アクティブ領域M93および3重ウエル構造を形成後、PウエルM77c上のメモリセル形成領域にしきい電圧調整のためのB（ボロン）イオン打ち込みを行う。基板表面を酸化して厚さ10nmのトンネル酸化膜M72を形成後、CVD（Chemical Vapor Deposition）によってシリコン微小結晶粒M71を形成する。試作においては平均径7nm、1平方センチメートルあたり $5 \times 10^{11}$ 個の密度で形成した。下から順に厚さ4nmのSiO<sub>2</sub>、厚さ8nmのSi<sub>3</sub>N<sub>4</sub>、厚さ4nmのSiO<sub>2</sub>のONO構造層間絶縁膜M73を形成後、第1のゲート電極形成のためのn型多結晶シリコンを堆積し、さらにSi<sub>3</sub>N<sub>4</sub>膜を堆積する。レジストをマスクにSi<sub>3</sub>N<sub>4</sub>膜、多結晶シリコン膜、ONO膜、シリコン微小結晶粒、SiO<sub>2</sub>膜を順次エッチングする。この工程で第1のゲート電極M74が形成される。第1のゲート電極をマクスに不純物打ち込みを行い、第2のゲート電極下の不純物濃度を調整する。洗浄後、基板表面を酸化し、さらにCVD-SiO<sub>2</sub>膜を堆積する。第2のゲート電極形成の為の多結晶シリコン膜を堆積し、平坦化を行う。ここで多結晶シリコン膜の膜厚は第1のゲート電極を加工してできた段差の高さよりも厚くする。平坦化は第1のゲート電極のキャップであるSi<sub>3</sub>N<sub>4</sub>膜が出たところで止めることにより、第2のゲート電極形成の為の多結晶シリコン膜のみ上面が露出し、第1のゲート電極表面はSi<sub>3</sub>N<sub>4</sub>膜で覆われている。さらに第2のゲート電極加工のためのマスクパターンM94を用いて多結晶シリコン膜加工を行う。第1、第2のゲートをマスクにAs（ヒ素）イオンを打ち込み、活性化アニールをすることでソースM69、ドレインM70領域が形成される。さらに層間膜形成、平坦化を行った後、コンタクト工程、配線工程を行う。

#### 【0063】

（実施例6）

図 1 7 は、第 6 の実施例による記憶装置の断面構造図を示す。同じワード線 M 1 0 0 で駆動される隣接する二つのメモリセル M 1 0 3 および M 1 0 4 を主体とした断面図である。図 1 8 には実施例 6 のメモリセルアレイの接続関係を回路図で示す。実際にはもっと大規模のアレイを構成するが、ここでは説明のため 4 × 4 の小規模セルアレイを示す。セルの基本構成は実施例 5 と同様であり、セル単体の動作も同様であるが、セルの接続関係に応じて断面構造や作製方法に違いがあり、また駆動方法に特徴がある。

#### 【 0 0 6 4 】

第 1 のゲート電極 M 1 0 0 はワード線を兼ね、第 2 のゲート電極 M 9 5 は補助制御線としてワード線 M 1 0 0 に垂直方向に配線させる。ソース領域 M 9 7、ドレイン領域 M 9 8 は拡散層配線で補助制御線 M 9 5 に平行な方向に走り、セルを並列に接続する。このセル M 1 0 3 のドレイン領域 M 9 8 は隣接セル M 1 0 4 のソース領域 M 9 8 を兼ねている。通常このようにソース、ドレイン領域を複数のセルが共有し、並列接続される構成ではセルのドレイン領域と隣接セルのソース領域はセル分離領域で絶縁されているのが普通だが、実施例 6 では物理的分離を行わず、共通の拡散層としている。このためセル分離領域分の面積を小さく出来、低コスト化に効果がある。

#### 【 0 0 6 5 】

動作においては同一ワード線で駆動されるセルに対して一個おきに書込み、読み出しを行うという特徴がある。たとえばセル M 1 0 3 に対して書込みや読み出し動作を行う場合、両側の隣接セルの補助制御線 M 9 6、M 1 0 5 を低電圧とし、制御線下のシリコン表面を高抵抗とすることで同一ワード線で駆動されるセル間のショートを防ぐ。つまりセル分離を補助制御線を用いて電氣的に行う。セル M 1 0 4 に対して書込みや読み出し動作を行う場合には隣接セルの補助制御線 M 9 5 を低電圧とすればよい。本実施例では 4 × 4 のセルアレイで示したが、実際に、より大規模のセルアレイを構成した場合拡散層配線では抵抗が高く、電圧効果が問題となる。従って適当な間隔でコンタクトを打ち、金属配線で裏打ちすることが有効である。また、金属配線とのコンタクト孔の間にスイッチを設け、拡散層配線をローカルデータ線とし、金属配線をグローバルデータ線とする階層化

構成を採っても良い。階層化構成を採れば動作時に不要な部分のローカルデータ線の充放電を行わなくてよいため、低消費電力化、高速化に効果がある。

#### 【0066】

製造方法について図19を参照して実施例5との違いを中心に述べる。周辺回路のためのセル分離領域、ウエル構造形成、第2のゲート電極下のしきい値調節の不純物導入後、基板表面を酸化して厚さ8nmのトンネル酸化膜M72を形成後、第2のゲート電極形成の為に多結晶シリコン膜、 $\text{SiO}_2$ 膜を堆積後、加工して第2のゲート電極M95、M96を形成する。さらにこのパターンをマスクに、図に矢印で示すように、Asイオンを斜めに打ち込み、ソース、ドレイン領域となる拡散層M97、M98およびM99を形成する。このとき第1のゲート電極下のしきい値調節の為に不純物導入も行っておく。基板表面を酸化して厚さ8nmのトンネル酸化膜72を形成後、CVD (Chemical Vapor Deposition) によってシリコン微小結晶粒M101およびM102を形成する。さらに下から順に厚さ4nmの $\text{SiO}_2$ 、厚さ8nmの $\text{Si}_3\text{N}_4$ 、厚さ4nmの $\text{SiO}_2$ のON構造層間絶縁膜M73を形成後、第1のゲート電極形成のためのn型多結晶シリコンを堆積し、平坦化を行う。さらにW(タングステン)、 $\text{SiO}_2$ 膜を堆積し、レジストをマスクに $\text{SiO}_2$ 膜、W、n型多結晶シリコンをエッチングして第1のゲート電極兼ワード線M100が形成される。さらに層間膜形成、平坦化を行った後、コンタクト工程、配線工程を行う。本作製方法を用いると補助ゲート上にもシリコン微小結晶粒が残ることになる。これはフラッシュメモリのように連続した多結晶シリコン膜で記憶領域を形成している場合セル間の記憶領域のショート、あるいは補助電極との容量カップリング等による特性悪化が考えられ、しかもその除去も補助電極起因の段差が存在するため難しい。実施例6の記憶装置においては除去工程を行わずとも電気特性上問題になることはなく、従って作製工程が簡単であるという特徴を持つ。

#### 【0067】

##### (実施例7)

図20は、第7の実施例による記憶セルの断面構造図を示す。

#### 【0068】

P型ウエルM11aに設けられたn型のソースM1、ドレインM2領域があり、チャネルを制御するn型多結晶シリコンのゲート電極M3がある。ゲート電極M3と基板の間にはシリコンの平均径12nmの微少結晶粒M4が多数ならべられている。ゲート電極M3の両側面にはP型の多結晶シリコンからなるサイドウォール構造M7、M8があり、ゲート電極M3との間には絶縁膜M13が存在する。またサイドウォール構造M7、M8と基板との間にも絶縁膜M14が存在する。またサイドウォールM7、M8構造直下の基板表面M11、M12は通常のLDD構造が高濃度のn型であるのに対し、P型あるいは低濃度n型である。さらにソースM1、ドレインM2領域とサイドウォール構造とはタングステン層M9、M10を介して接続されている。

#### 【0069】

次に実施例7の動作を説明する。実施例7では電荷蓄積の場所を変えることでメモリセルあたり2ビット以上の記憶を行う。尚、実施例7においては、ソースとドレインを入れ替えて動作させるため、必ずしもソースからドレインに電子が流れ込むわけではないが、呼称が複雑になるのを防ぐため、領域の名前として場所を固定してこれらの名称を用いることとする。まず図21(a)を参照して、ソース領域M1に近い記憶ノードM15への電荷注入を説明する。ソースを0V、ドレインを4Vに設定し、ゲート電極に12Vのパルスを印加する。この時ドレイン端のサイドウォールM8の電位も4Vとなるため、この下の基板表面M12がn型に反転する。一方、ソース端サイドウォールM7は電圧が低く(0V)、その下の基板表面M11の電子濃度が低い。この結果印加したドレイン電圧の大部分がソース端サイドウォール下のM11にかかることになる。この部分の電界が強いことからホットエレクトロンが発生する。発生したホットエレクトロンはゲート電極M3に印加された電圧による電界に引き寄せられ、ソース領域M1に近い記憶ノードM15に注入される。このホットエレクトロン注入は通常のホットエレクトロン注入よりも効率がよく、従って大きなドレイン電流を流さずとも情報の書込みができる。このため同時に多くのセルに書込みを行うことが可能であり、大容量記憶を行うことが可能である。また、この時ドレイン端のサイドウォールM8下の基板表面M12のうち、ドレインに近い領域M18でも電界が



強くなるが、近くに電荷蓄積領域である微少結晶粒M4が存在せず、またゲートM3とも距離が離れていることからドレイン端書込みは起きない。ドレイン端の記憶ノードM16に書込みを行う場合には前記設定のソース電圧とドレイン電圧を入れ替えればよい。

#### 【0070】

また、書込み動作においてP型ウエルM11aに負の基板バイアス電圧（例えば-2V）を印加し、その分ゲート電圧を下げる（例えば10Vとする）方法が有効である。使用するゲート電圧の絶対値を下げるができるために電圧発生回路が単純になるという利点に加え、しきい電圧が上がるため、サイドウォール下の電界集中が起こりやすいという特徴がある。この場合サイドウォール下に低濃度n型を用いることでp型を用いた場合より読み出し電流を大きく取れる。

#### 【0071】

次に図21（b）を参照して読み出し動作を説明する。情報を読み出すためにはソース、ドレイン、ゲートからなるトランジスタを飽和領域で動作させる。ソース端記憶ノードM15に注入された電荷の読み出しではドレイン電圧を2V、ソース電圧を0V、ゲート電圧を2Vとする。この時チャネルM17が形成されるが、ゲート電極下の基板表面のうちドレイン端に近いところはピンチオフしており、チャネルが形成されない。この結果しきい電圧に影響を与えるのはソース端記憶ノードM15の蓄積電荷のみであり、ドレイン端記憶ノードM16の蓄積電荷の影響を除外できる。ソース端記憶ノードM15の蓄積電荷量が多ければしきい電圧が高く、少なければしきい電圧が低いため、蓄積電荷量に応じてソース、ドレイン間のコンダクタンスが異なる。このコンダクタンスの違いに基づく電圧の違いで情報読み出しを行う。ドレイン端記憶ノードM16の蓄積電荷を読み出すにはソースとドレインの設定電圧をいれかえればよい。ここではソース端情報読み出し時のソース領域設定電圧を0Vとしたが、書込み時のソース領域設定電圧よりも低い所定の電圧（例えば-1V）に設定し、ソース端下の表面を反転させて低抵抗化することで読み出し電流を増加させる方法が有効である。この場合、これに応じてゲート電圧、ドレイン電圧の設定も例えば1V、1Vのように減少させる。尚、同じことをPウエルM11aに正の電圧（例えば-1V）を印

加して行ってもよい。

【0072】

尚、書込み時に上述した負の基板バイアスを用いた場合、読み出し時には相対的に高い基板バイアス（例えば0V）を用いる動作方法が有効である。書込み時には基板バイアスによってサイドウォール下が高抵抗となりホットエレクトロンが発生しやすくなると同時に、読み出し時には低抵抗となって十分な読み出し電流を確保することが可能である。この結果高速の書込みと高速の読み出しの両立ができる。

【0073】

前記書込み方法、読み出し方法は単純にソース、ドレインの設定電圧を入れ替えて行うだけでよい。従って単一フローティングゲート中に注入する電荷量によって4レベルを作る方式に比べて書込み動作、読み出し動作に必要なステップが少なく、高速動作が可能である。また両端各々では情報“0”か“1”かの2レベル動作となるため動作マージンも増加する。書込み動作においては、多レベルを用いる場合しきい電圧のセル間分布広がりを高度に抑制する必要がある。このため書込みパルス印加後に読み出しを行い、所定のしきい電圧に達していない場合に再度書込みパルスを印加する動作を繰り返すいわゆるペリファイ動作を行っており、書込みスループット低下の要因となっている。従って実施例7の高速化の効果は特に書込み動作で顕著である。加えて実施例7では記憶ノードを構成する独立したシリコンの微少結晶粒が独立して多数あるため書込みの平均化が行われる。この結果セル間のばらつきが低減し、ペリファイ動作を行わずともセルあたり2ビットを記憶する動作が可能である。書込み平均化はトンネル絶縁膜の欠陥等に起因してセルによって異常に書込みが高速に進む不良に対しても有効である。

【0074】

情報の消去はゲートM3に負の電圧を印加して行う。例えばソースM1、ドレインM2をとともに0Vとし、ゲートM3を-12Vとする。この時、電界によって注入されていた電子が基板側に放出される。消去動作はドレイン端、ソース端一括で行う。尚、この時ウェル電位を0Vよりも高い電位（例えば5V）に設定

し、その分ゲートM3電位の絶対値を地小さく（例えば-7V）設定してもよい。使用電圧の絶対値が小さくなり電圧発生回路が簡単になる。

#### 【0075】

図22に実施例7の等価回路図を示す。ソース端記憶ノードM15とドレイン端記憶ノードM16を示す記号を用いている。図22(a)では、ソース端サイドウォールM7をゲート電極としその下の基板表面M11をチャネルとして形成されるフィールドエフェクトトランジスタM19と、ドレイン端サイドウォールM8をゲート電極としその下の基板表面M12をチャネルとして形成されるフィールドエフェクトトランジスタM20を表現している。ただしPウエルM11aに対応する基板バイアス端子の表示は省略した。図面が煩雑になるのを避けるため、以下の実施例で示す記憶装置の等価回路図においては簡略化した図22(b)の表現を用いることとする。

#### 【0076】

次に実施例7の製造工程を説明する。セル分離領域、3重ウエル構造形成後、Pウエル上のメモリセル形成領域にしきい電圧調整のためのB（ボロン）イオン打ち込みを行う。基板表面を酸化して厚さ10nmのトンネル酸化膜M5を形成後、CVD（Chemical Vapor Deposition）によってシリコン微小結晶粒M4を形成する。試作においては平均径12nm、1平方センチメートルあたり $4 \times 10^{11}$ 個の密度で形成した。厚さ12nmの層間絶縁膜M6を形成後、ゲート電極形成のためのn型多結晶シリコンを堆積し、さらにSiO<sub>2</sub>膜を堆積する。レジストをマスクにSiO<sub>2</sub>膜、多結晶シリコン膜をエッチングし、ゲート電極を形成する。同じマスクでさらにSiO<sub>2</sub>をエッチングし、結晶粒も除去しておく。

#### 【0077】

レジスト除去後、犠牲酸化膜形成、不純物インプラを行いサイドウォール下の不純物濃度を調整する。この後酸化を行い、基板表面とゲート電極側面を酸化する。これがサイドウォールM7、M8構造とゲート電極M3との間の絶縁膜M13になる。この際不純物による増速酸化によって基板表面よりもゲート側面の方が酸化が速く、絶縁膜厚が厚くなる。次にn型多結晶シリコンを堆積し、この膜厚分をエッチバックすることでサイドウォールM7、M8形成を行う。この後レ

ジストをマスクにサイドウォール多結晶シリコンのうち短絡させたくない部分を除去しておく。除去方法は等方的ドライエッチかウエットエッチあるいはこれらの組み合わせで行う。ゲートM3、サイドウォールM7、M8をマスクにAs（ヒ素）インプラを行いソース、ドレイン領域M1、M2を形成する。さらにウエットエッチングによって基板表面を露出させ、シリコン上のみに選択的にタングステン（W）を堆積する。

## 【0078】

このソース領域M1とソース側サイドウォールM7、ドレイン領域M2とドレイン側サイドウォールM8は距離が近く、タングステン堆積によって互いに接続される。サイドウォールM7、M8に対してコンタクトを形成し、配線で拡散層M1、M2と接続するセル構造と比較して格段にセル面積が小さくてよく、プロセスが簡単である。この後層間絶縁膜堆積、平坦化、コンタクト工程後配線を行う。

## 【0079】

実施例7では、ゲート電極M3を多結晶シリコンで構成したが、シリサイド化あるいは金属との多層構造とし、低抵抗化を図っても構わない。その場合ゲートM3とサイドウォールM7、M8との間の絶縁膜は酸化ではなく堆積で形成するとよい。また記憶ノードはシリコンの微小結晶で形成したが、他の半導体や金属で形成しても構わない。この場合、各ノードが独立していることが重要である。形成方法においても実施例7ではトンネル絶縁膜上にCVDで形成したが他の堆積方法を用いても良い。さらにトンネル絶縁膜以上の膜厚の絶縁膜を形成した後にSi、Ge等のイオン打ち込みを行い、加熱することで絶縁膜中に多数の微小結晶を析出させて記憶ノード形成を行っても良い。記憶ノードに $\text{Si}_3\text{N}_4$ 膜のようなトラップの多い膜を用いてもよい。

## 【0080】

## （実施例8）

図23から図28に、本発明の第8の実施例を示す。実施例7で説明した記憶セルを基本構造としたメモリセルアレイ構造であり、図23が等価回路図、図24が図23に対応するレイアウト図、図25が図24におけるXXV-XXV位

置で隣接するワード線M25、M29とコンタクトM22の範囲を矢印方向に見た断面構造図、図26が図24におけるXXVI-XXVI位置で両側に隣接するセル分離領域M26の範囲を矢印方向に見た断面構造図である。また図23の鎖線で囲んだ部分M23が単位セルに対応する。図23では4行2列、計8個のセルによって16ビットの記憶を行う。実際には行、列数をもっと大きくし、大規模セルアレイを構成するが、説明上この規模で説明する。尚、図では同一のものまたは同一の機能を果たすものに同じ参照符号を付した。

#### 【0081】

ゲート電極は互いにワード線M25で接続される。この実施例では、ワード線M25がゲート電極として機能する構造となっている。ドレイン領域M27は隣接セルと共有しており、これに対して設けられたコンタクト孔M22を介してデータ線M24に接続される。ワード線を共有する隣接セルはセル分離領域M26によって分離されている。ソース領域は拡散層配線でソース線M21を形成し、ワード線と平行に走っている。実施例8では拡散層表面がシリサイドまたは金属で覆われているため低抵抗であり、拡散層配線でも十分実用的である。もちろん所々にコンタクト孔を設け、金属配線による裏打ちを行ってもよく、より低抵抗化が図れる。また、本実施例の作製工程は実施例5と同様であり、この場合セル分離領域上に記憶ノードである微小結晶領域M28が残ることになる。フラッシュメモリのような連続膜フローティングゲートの場合、隣接セル間のフローティングゲートの短絡となり動作しないが、実施例8では記憶ノード間リークは十分小さく、動作が可能である。このためフラッシュメモリにおける隣接フローティングゲートを切断する工程が省略可能で、工程が簡略化できる。

#### 【0082】

次に実施例8の駆動方法を説明する。まず書込み動作を図27を参照して説明する。外部より入力されたアドレスに従ってソース端M30書込みを行うかドレイン端M31書込みを行うかの信号WSE RECTM36を発生させる。発生された信号M36に応じてソース線M21の電圧を切り替える。入力データはまずラッチM34に格納される。ここでは入力電圧highを情報“1”に、lowを情報“0”に対応させることとする。セルM23のソース端M30書込み動作

においては、ソース線M21をVRS S（例えば0 V）とし、データ線M24の電圧を書込みたい情報が“0”ならをVWDL（例えば0 V）、“1”ならより高い電圧VWDH（例えば5 V）に設定し、ワード線M25に高電圧VWW（例えば12 V）のパルスを与える。VWDLに設定された場合ホットエレクトロンがほとんど発生しないため、記憶ノードへの電荷注入は少なく、VWDHの設定の場合注入電荷量が多い。この時同じワード線で駆動される他のセルについても、接続されているデータ線電圧を書込みたいデータに応じてVWDLまたはVWDHに設定すれば同時に情報が書き込まれる。ここで“0”書き込みでは電荷が注入されず、従って書き込みを行わないのと同様であるため、同一ワード線で駆動されるセルの一部のみ情報書きこみを行うことも可能である。また他のワード線についてはVWWより低い電圧VW0（例えば0 V）とすれば書き込みは行われない。次にドレイン端M31への書き込みを説明する。ソース線M21をVWDH（5 V）に設定し、データ線M24の電圧はソース端M30書き込みと同様に情報が“0”ならをVWDL（例えば0 V）、“1”ならVWDH（例えば5 V）に設定する。この後ワード線M25にVWW（12 V）のパルスを与えることで書き込みができる。ここでソース端M30書き込みではデータ線VWDHが電荷注入条件であるのに対し、ドレイン端M31書き込みではデータ線VWDLが電荷注入条件であるため、記憶している情報としきい電圧の高低の対応関係がソース端とドレイン端で逆転するという特徴がある。

### 【0083】

次に、図28を参照して情報読み出しを説明する。まず外部から与えられる読出したいデータのアドレスに応じて、ソース端M30読み出しを行うかドレイン端M31読み出しを行うかの信号RSE RECTM35を発生させる。このアドレスから選択信号RSE RECTを発生させる回路は書き込み時の選択信号発生回路と共通でよい。発生された信号RSE LECTM35に応じて以下に説明するソース線M21電圧、プリチャージ電圧やリファレンス電圧を切り替える。ソース端M30情報を読み出すにはソース線M21をVRS S（例えば0 V）に設定し、データ線M24をVRS Sより高い電圧VPCS（例えば3 V）にプリチャージした後にワード線に電圧VWR（例えば2 V）の読み出しパルスを印加する

。この時ソース端M30のしきい電圧が高い場合電流があまり流れず、データ線M24電位はVPC Sからあまり変動しないのに対し、ソース端M30のしきい電圧が低い場合電流大きな電流が流れ、データ線M24電位はVPC Sから大きく下がって行く。差動増幅型のセンスアンプM33の一端はデータ線に接続し、他端M32にはVPC Sより小さい電圧VREF S（例えば2.4V）を参照電位として与えておく。所定のタイミングでセンスアンプM33を動作させることでソース端M30のしきい電圧が高い場合高い電位に、低い場合低い電位に増幅される。このセンスアンプ起動タイミングは、しきい電圧が低い場合においてもメモリセルが飽和領域で動作する程にデータ線電圧が高い状態に設定するのが望ましい。つまりソース端のしきい電圧が低い場合のしきい電圧を $V_{th}$ として、 $VWR - V_{th}$ よりもデータ線電圧が高い状態でセンスアンプを起動するのが望ましい。ドレイン端M31の記憶情報の影響を受けにくく、安定した動作が行えるためである。

## 【0084】

ドレイン端M31情報読み出しでは設定電圧が異なる。ソース線M21をVRS Sよりも高い電圧VRS D（例えば3V）に設定し、データ線M24をVRS Dよりも低い電圧VPC D（例えば0V）にプリチャージした後にワード線に電圧VWR（2V）の読み出しパルス印加する。この時ドレイン端M31のしきい電圧が高い場合電流があまり流れず、データ線M24電位はVPC D（0V）からあまり変動しないのに対し、ドレイン端M30のしきい電圧が低い場合電流大きな電流が流れ、データ線M24電位はVPC D（0V）から大きく上がって行く。センスアンプに与える参照電位はVPC D（0V）より大きい電圧VREF D（例えば0.6V）を与える。所定のタイミングでセンスアンプM33を動作させることでドレイン端M31のしきい電圧が高い場合低い電位に、低い場合高い電位に増幅される。従ってここで再び増幅結果と各端のしきい電圧の大小関係がソース端とドレイン端で逆転しており、上に説明した書込み方法と併せて正しい動作となる。前記書込み、読み出し動作を表4にまとめる。

## 【0085】

【表 4】

表 4

	外部からの 入力情報	書込み時 データ線 設定	セル しきい値	読出し増 幅後デー タ線電圧	外部への 出力情報
ソース端 記憶	"0" (L)	VWDL (L)	(L) (ソース端)	(L)	"0" (L)
	"1" (H)	VWDH (H)	(H) (ソース端)	(H)	"1" (H)
ドレイン端 記憶	"0" (L)	VWDL (L)	(H) (ドレイン端)	(L)	"0" (L)
	"1" (H)	VWDH (H)	(L) (ドレイン端)	(H)	"1" (H)

情報の消去動作は同一ワード線で駆動されるセルについて一括で行い、ソース端とドレイン端の情報を同時に消去する。

【0086】

(実施例 9)

図 2 9 から図 3 6 は本発明の第 9 の実施例を示す。図 2 9 には本実施例の記憶セルの断面構造図を示す。

【0087】

本実施例は基本構成、動作原理において実施例 7 と同様であるが、作製方法が異なる。また作製方法の違いに起因して構成しやすいセルアレイ構造も異なってくる。まず基本構成を説明する。図中で基板の p ウエルは省略してある。セル分離領域 M 4 4 の設けられた P 型シリコン基板に、n 型のソース M 3 7、ドレイン M 3 8 領域が設けられ、チャネルを制御し、ワード線を兼ねるタンゲステンのゲート電極 M 3 9 がある。ゲート電極 M 3 9 と基板の間にはシリコンの平均径 8 nm の微少結晶粒 M 4 0 が多数ならべられている。ゲート電極側面には P 型の多結晶シリコンからなるサイドウォール構造 M 4 6、M 4 7 があり、ゲート電極 M 3 9 との間には絶縁膜 M 4 8 が存在する。またサイドウォール構造 M 4 6、M 4 7 と基板との間にも絶縁膜 M 4 9 が存在する。またサイドウォール構造直下の基板表面 M 4 1、M 4 2 は通常の LDD 構造とは異なり、ソース M 3 7、ドレイン M 3 8 領域とは異なる極性、この場合では P 型である。さらにソース M 3 7、ドレ



イン領域M38とサイドウォール構造とはタンゲステンM50を介して接続されている。

#### 【0088】

図30は実施例9の記憶セルを用いて構成した記憶装置のメモリセルアレイ部分の等価回路図である。

#### 【0089】

製造工程に則したレイアウト図を図31から図34に示す。最終的なレイアウトを示す図34に鎖線で囲って示す1メモリセル領域のXXIX-XXIX位置で矢印方向に見た断面が図29に対応する。説明のためにメモリセル数を少なくして示しているが、実際には行方向、列方向ともに多くのセルを並べる。図30中鎖線で囲んだ部分M57が単位アレイ構造である。複数のメモリセルのソース領域M37、ドレイン領域M38ともに拡散層で互いに接続されており、ローカルデータ線M37、M38を形成する。ローカルデータ線M37は選択トランジスタST7、ST9を介してグローバルデータ線M56、ソース線M55のいずれかに接続されて、ローカルデータ線M38は選択トランジスタST8、ST10を介してソース線M52、グローバルデータ線M56のいずれかに接続される。選択トランジスタST7、ST8駆動用信号線M53、選択トランジスタST9、ST10駆動用信号線M54には互いに反転する信号を入力することで、ローカルデータ線の一方をソースとして、他方をドレイン領域として使用可能である。信号線M53、M54への入力信号を各々反転させれば逆の役割として機能する。実施例8の駆動方法と比較して選択トランジスタが必要となるが、ソース端とドレイン端読み出しでソース線M52、M55とグローバルデータ線M56の電圧設定が同じで良いこと、ソース線M52、M55電位を固定して用いることができるためソース線駆動用電圧切り替え回路が省略できる等の利点がある。また、余分に必要になる選択トランジスタについても、実施例9のアレイ構成なら同一ローカルデータ線M37、M38で駆動される複数のセルについて共通に設ければよいため面積増加は少ない。

#### 【0090】

実施例8ではソースM30とドレインM31を結ぶ電流方向とワード線M25

の走る方向は互いに垂直の関係にあるが、実施例 9 のアレイ構成ではこれが平行な方向にある。実施例 9 の作製方法を用いれば図 2 9 のようにソース M 3 7、ドレイン M 3 8 を結ぶ方向とワード線 M 3 9 方向が平行である構造の作製が容易にできる。

#### 【 0 0 9 1 】

次に実施例 9 の製造工程を説明する。図 3 5 ( a ) に示すように、セル分離領域 M 4 4、3 重ウエル構造形成後、P ウエル上のメモリセル形成領域にしきい電圧調整のための B ( ボロン ) イオン打ち込みを行う。メモリセルアレイのセル分離領域形成用マスクパターン M 5 8 を図 3 1 に示す。基板表面を犠牲酸化後、厚さ 1 5 0 n m の  $\text{Si}_3\text{N}_4$  膜を堆積し、レジストをマスクに  $\text{Si}_3\text{N}_4$  膜をエッチングすることでダミーのゲート電極 M 5 1 を形成する。ダミーゲート M 5 1 をマスクに不純物イオン打ち込みを行ってサードウオール下のしきい電圧調整を行った後、基板表面の酸化膜を除去して再度酸化し、さらに絶縁膜 M 5 1 a を堆積することでサードウオール M 4 6、M 4 7 下の絶縁膜 M 4 9 となる部分を形成する。次に厚さ 1 0 0 n m の P 型多結晶シリコンを堆積し、1 2 0 n m 分のエッチバックによりサイドウオールを形成する。この時レジストマスクを用いて選択トランジスタゲート M 5 9 も同時形成する ( 図 3 2 )。この後レジストパターン M 6 3 をマスクに等方的エッチングを行って余分なサイドウオールは除去しておく。図 3 5 ( b ) に示すように、ダミーゲート及びサイドウオール、選択トランジスタゲート M 5 9 をマスクにヒ素イオン打ち込みを行って n 型拡散層を形成した後に、レジストをマスクにドライエッチとウエットエッチによってセルの拡散層部分の基板表面を露出させる。この時選択トランジスタの拡散層は絶縁膜を残しておく。この後図 3 6 ( a ) に示すように、拡散層表面とサイドウオールの多結晶シリコン表面をシリサイド化する。セル部分の拡散層とサイドウオールは電氣的に接続されが、選択トランジスタ部分では接続されない。この後絶縁膜を堆積し、CMP を行うことでダミーゲート電極の上面を露出させる。次いで、図 3 6 ( b ) に示すように、レジストパターン M 6 4 をマスクに、ウエットエッチングによってセル部分の  $\text{Si}_3\text{N}_4$  を除去し、トンネル絶縁膜形成のために厚さ 7 n m の酸化を行う。

## 【 0 0 9 2 】

次いで、さらにCVD法によりシリコン微小結晶粒を形成する。溝の底面に堆積された微小結晶が記憶ノードなる。溝側面に形成された部分は不要であるが、セルのしきい電圧には影響を及ぼさないため除去しなくとも構わない。厚さ12nmの層間絶縁膜M45としてCVD-SiO<sub>2</sub>/CVD-Si<sub>3</sub>N<sub>4</sub>/CVD-SiO<sub>2</sub>のONO構造膜を形成後、ゲート電極形成のためのタングステン膜を堆積し、平坦化すると溝部分に埋め込まれる形でゲート電極が形成される。次に選択トランジスタゲートM59に対するコンタクト孔M63及びソース線と拡散層接続用コンタクト孔M64を形成し、さらにW膜を堆積した後、配線パターンレジストをマスクにタングステン膜を加工してワード線M39、ソース線M52M55、選択トランジスタ制御線M53M54を形成する。この時タングステンエッチは先に形成したゲート電極まで深く行い、隣接ワード線ショートを防ぐ。さらに層間絶縁膜堆積、平坦化を行い、グローバルデータ線と拡散層接続用コンタクト孔M62を形成する。金属材料堆積後、グローバルデータ線M56の加工を行う。

## 【 0 0 9 3 】

## (実施例10)

図37、図38は、第10の実施例を示す。単位メモリセル構造は実施例9と同様であるが、セルアレイ構成が異なる。図37が等価回路図、図38がレイアウト図である。実施例9との違いは拡散層配線M37がソース線M68に、拡散層配線M38がグローバルデータ線M56のそれぞれにしか接続されていない点である。また実施例8の接続関係と異なるのは選択トランジスタM65を介してグローバルデータ線M56に接続される点である。実施例10の特徴は、実施例9のように拡散層の共有構造M37、M38を利用してコンタクト数を減らす効果、実施例8のようにソース線を駆動することで多くの選択トランジスタを用意せずともすむ効果を組み合わせて小さい面積を実現する点である。選択トランジスタは動作に無関係のアレイのローカルデータ線をグローバルデータ線から電氣的に切り離すことによって寄生容量を低減し、書込み、読み出し動作を高速化するために設けている。

## 【 0 0 9 4 】

## (実施例 1 1)

図 3 9、図 4 0 は、第 1 1 の実施例を示す。図 3 9 がメモリセルアレイの断面構造、図 4 0 がアレイ構造の等価回路図である。実施例 1 1 は実施例 1 0 とセル構造が異なる。ソース M 7 9、ドレイン M 8 0、アクティブ領域 M 8 1、アクティブ領域近傍の多数の独立した半導体の電荷蓄積小領域よりなる電荷蓄積領域 M 8 7、アクティブ領域 M 8 1 と電荷蓄積領域 M 8 7 の電位を制御する制御電極 M 8 4、制御電極両側側壁に設けられ、制御電極と絶縁膜 M 9 0、M 9 1 で絶縁された電極 M 8 5、M 8 6 を有する点は同じである。異なるのはソース領域 M 7 9、ドレイン領域 M 8 0 と側壁電極 M 8 5、M 8 6 の接続を行わず、側壁電極電位をソース M 7 9、ドレイン M 8 0 とは独立に与える点である。側壁電極へのコンタクト工程が必要となるため、その分、面積が余分に必要であると同時に工程も複雑化するが、電圧の自由度が増え、メモリ性能が向上する。特に、読み出し動作においては、ソース側ビット読み出し動作ではソース領域 M 7 9 の電圧に対してソース側側壁電極 M 8 5 に正の電圧を印加することでソース側側壁電極下の領域を M 8 2 低抵抗化することが出来、従って読み出し電流が増大する。この結果読み出し高速化が図れる。ドレイン側ビット読み出し動作においてもドレイン側側壁電極 M 8 6 電位を変化させることが出来ることから同様である。セルアレイ構成においても側壁電極の制御線が増えるだけで、それ以外は、前記実施例の接続関係を用いることが可能である。ソース側電荷蓄積領域 M 8 7 A とドレイン側電荷蓄積領域 M 8 7 B に独立に情報の書込みを行うことを考慮し、実施例 1 1 の等価回路を図 4 0 のように表記する。

## 【 0 0 9 5 】

## (実施例 1 2)

図 4 1、図 4 2 は、第 1 2 の実施例を示す。図 4 1 がメモリセルアレイの断面構造、図 4 2 がアレイ構造の等価回路図である。図 4 1 は、図 4 2 に鎖線で示す長楕円部分 M 1 1 7 のワード線に平行な断面に相当する。単位セルの構造及びセル当たり 2 b i t 以上の記憶を行う動作原理は実施例 1 1 と同様である。実施例 6 と同様の接続関係であり、隣接セル間で拡散層を共有する。実施例 6 との違いは

ワード線を兼ねたゲート電極の両側壁に補助電極が設けられている点であり、セル当たり 2 b i t 以上の記憶を可能とする。書込み、読み出し動作を同一ワード線で駆動されるセル一個おきに行う点でも実施例 6 と同様である。図 4 2 に鎖線で示す短楕円部分の M 1 1 8 のセルに書込みを行う場合、両側のセルは補助電極を用いて非導通とする。この時各セルは補助電極を 2 個ずつ持つわけであるが、一方を低電圧として非導通状態を実現してもよいし、両方を低電圧としても良い。このとき、少なくともデータがロードされる拡散層側の補助電極は低電圧に電位を固定することが望ましい。たとえば、M 1 1 8 のセルの補助電極 M 1 1 2 側に情報を書きこむ場合、書込みデータは拡散層 M 1 1 9 にロードされるが、この場合には隣接セルの補助電極 M 1 1 4 は低電圧に電位を固定することが望ましい。なぜならデータロード側拡散層電位は大きく変動するが、これに近い補助電極電位を低く固定することで隣接セルの電荷保持領域付近の電位変動を抑えることが出来、より安定した記憶保持が可能となるからである。本実施例においても実施例 6 と同様拡散層配線の低抵抗化のための金属配線裏打ちあるいは階層化データ線構造が有効である。

## 【 0 0 9 6 】

製造工程は実施例 5 と類似であるので概略のみ述べる。実施例 5 と異なり、メモリセル領域では隣接拡散層配線間のセル分離を行わない。補助電極を用いて電気的に分離するためである。ウエル形成、ダミーゲート電極形成後導電性材料の堆積、エッチバックによりダミーゲートよりも高さの低いサイドウォールを形成する。ダミーゲート、サイドウォールをマスクに不純物打ち込みを行い、拡散層を形成する。尚、サイドウォール形成後に薄く絶縁膜を堆積し、不純物打ち込み後にエッチバックを行って基板表面を露出させ、シリサイド化を行う工程を行えばサイドウォールとショートなくシリサイド化が行える。絶縁膜堆積後、平坦化を行いダミー電極上端を表面に出す。ダミー電極を選択的に除去後酸化を行いトンネル酸化膜形成、金属または半導体による微小粒による多数個の記憶領域形成を行う。ONO 膜の層間膜形成後ワード線材料を堆積し、レジストパターンをマスクにエッチングすることでワード線形成を行う。

## 【 0 0 9 7 】

図 4 3 には実施例 1 2 の別の形態を示す。側壁ゲート M 1 1 9 を隣接セルで共有した構造に相当する。ただし側壁を形成するわけではないので作製方法は異なる。前記構造と比べて補助ゲート幅が大きくとれるため、コンタクト工程が容易である。さらに、側壁の両側を独立に駆動する場合と比べて配線数が減るため、配線ピッチをあまり問題にすることなく金属配線で裏打ちすることが容易である。この実施形態の場合は補助電極 M 1 1 9 を低電圧に設定すると隣り合った 2 セルとも非導通となる。従って 3 本に一本の補助電極を低抵抗にすることで、同一ワード線で駆動されるセルは隣接 3 セルのうち 1 セルを動作させることになる。作製工程においては実施例 1 2 の図 4 1 の構成の作製工程の途中拡散層形成の不純物打込み終了後、サイドウォールを除去、溝を補助ゲート電極材料で埋め込んだ後、エッチバックして補助ゲート電極を形成する。この後絶縁材料による溝埋め込み、平坦化以降は再び図 4 1 の構成の作製工程と同様である。

## 【 0 0 9 8 】

## (実施例 1 3)

図 4 4 から図 4 7 は、第 1 3 の実施例を示す。図 4 4 がメモリセルアレイの断面構造、図 4 5 が小規模アレイ構造の等価回路図であり、図 4 6 と図 4 7 は図 4 5 に対応するレイアウト図である。図 4 4 は、図 4 5 に鎖線で示す楕円 M 1 3 0 部分のワード線に垂直な方向での断面図である。ここでも実際のアレイ構成よりも小規模にして説明する。これまでの実施例とは異なり、実施例 1 3 では記憶セルが直列に接続されていることに特徴がある。また、図 4 4 のような電流が流れる断面において、直列接続されたメモリセル間に拡散層領域が存在しない点も特徴的である。本構成は直列接続の分抵抗が高いが、セル面積が小さいという特徴がある。

## 【 0 0 9 9 】

ワード線 M 1 2 1 で駆動されるセルの一端 M 1 2 8 への情報書込みでは、まず第 1 のデータ線 M 1 3 1 を書きこみたい情報に応じて高電圧（例えば 5 V）あるは低電圧（例えば 0 V）に設定する。第 2 のデータ線 M 1 3 2 は 0 V とする。さらに書きこみたいセルのワード線 M 1 2 1 及びそのセルの書込みたい側の補助電極 M 1 2 0 以外のワード線 M 1 2 3、M 1 3 6、補助電極 M 1 2 2、M 1 3 5 は

所定の高電位に設定（例えば全て 6.5 V）として電極下を低抵抗状態とする。書込みの補助電極 M120 は、より低電位（例えば 2 V）に設定し、この下の基板表面 M124 を比較的高抵抗とする。セルのワード線 M121 を他のワード線より高電位（例えば 12 V）とすると、第 1 のデータ線 M131 が高電圧（例えば 5 V）に設定されている場合には補助電極とワード線の間の基板表面でホットエレクトロンが発生し、近傍の電荷蓄積領域 M128 に注入される。第 1 のデータ線 M131 が低電圧設定の場合電荷はほとんど注入されない。他端 M129 への電荷注入では同じワード線 M121 と逆側の補助電極 M122 を用いる。今度はデータ線 M132 にデータをロードし、第 1 のデータ線 M131 は 0 V とする。電流の向きが逆になる以外は同様の動作によって電荷蓄積領域 M129 に情報が書き込まれる。

#### 【0100】

読み出し動作においては、書込み時に第 1 のデータ線 M131 に書込み情報をロードした側の読み出しでは第 1 のデータ線 M131 を、第 2 のデータ線 M132 に書込み情報をロードした側の読み出しでは第 2 のデータ線 M132 を正の電位（例えば 2 V）にプリチャージする。各々の場合多端は 0 V とする。読み出したいセルを駆動するワード線 M121 以外のワード線 M123、M136、補助電極 M120、M122 および M135 を所定の高電位に設定（例えば全て 6.5 V）し、さらに該当ワード線 M121 に所定の読み出し電圧（例えば 3 V）を与える。例えば第 1 のデータ線 M131 をプリチャージする読み出しでは、ワード線 M121 下の領域 M125 のうち、より低電位である第 2 のデータ線 M132 に接続された側にチャンネルが形成され、第 1 のデータ線 M131 側ではピンチオフするため第 2 のデータ線 M132 側の影響、すなわち M128 の保持されている情報の影響をより大きくうけるため、読み出しが可能である。

#### 【0101】

実施例 13 では 2 本のデータ線を用意して電圧設定を入れ替える方式を用いたが、他の実施形態として、図 48 のようにデータ線 M138、ソース線 M139 を用いた接続関係とし、データ線側の書込みにおいてソース線電位を上げる実施例 8 と同様の駆動方法を用いても良い。この接続関係を用いれば、一列の直列セ

ルアレイに対してデータ線を一本ずつ用意すればよく、図 4 5 の接続関係よりもデータ線ピッチが小さくなるため、小さいメモリセルが実現可能で、低コスト化に効果がある。

#### 【0 1 0 2】

実施例 1 3 の製造工程をメモリセルアレイ部分レイアウト図 4 6、図 4 7 とともに説明する。セル分離を行ってアクティブ領域 M 1 3 7 を定義した後、トンネル絶縁膜、シリコン微小結晶、ONO 層間膜、ワード線電極材料、カバー絶縁膜堆積を行う。レジストをマスクにカバー絶縁膜、ワード線材料、層間膜、シリコン微小結晶をエッチングし、ワード線 M 1 3 6、M 1 2 3 および M 1 2 1 形成を行う。表面酸化後さらに絶縁膜を堆積し、さらにワード線によって作られた溝を完全に埋めるだけの膜厚の補助ゲート電極材料を堆積する。周辺部分向けのレジストマスクを併用し補助ゲート電極材料エッチバックを行って隣接補助ゲート間を絶縁することでメモリセルが形成される。この後ワード線、補助電極をマスクにアクティブ領域 M 1 3 7 両端部に n 型不純物を打込み、活性化する。層間絶縁膜形成後アクティブ領域 M 1 3 7 両端部に各々コンタクト孔 M 1 3 3、M 1 3 4 を打ち、第 1 のデータ線 M 1 3 1 と第 2 のデータ線 M 1 3 2 を形成する。

#### 【0 1 0 3】

##### (実施例 1 4)

図 4 9、図 5 0 は、第 1 4 の実施例を示す。図 4 9 が断面図、図 5 0 がセルアレイの接続関係を示す等価回路図である。図 5 0 に示す縦長の鎖線の楕円 M 1 4 8 の部分の断面が図 4 9 に対応する。実施例 1 3 と類似であるが、補助電極が存在せず、補助電極となっていた部分が全てメモリセルであるという点において異なる。電荷蓄積領域 M 1 4 4 は全体に存在する。実施例 1 4 は極めてメモリセル当りの面積が小さい。従ってソース側、ドレイン側の両端書込みを行わずとも低コストメモリ構成として効果がある。これとセル当りの多値記憶を組み合わせれば現状のフラッシュメモリを大きく凌駕する低コスト化が可能である。また、実施例 1 4 では、図 5 0 に示すように両端書込みを行ってセル当り 2 b i t とするものとしたが、電荷を注入する場所を同一とし、電荷量で多レベルを作っても良いし、電荷量と両端書込の組み合わせでさらなる高密度記憶を実現しても良い。



またアレイ構成において実施例 1 3 の他の実施形態（図 4 8）と同様としたが、図 4 5 と同様の接続関係としてもよい。

#### 【0 1 0 4】

駆動方法においても、実施例 1 3 の他の実施形態（図 4 8）と同様であり、ワード線 M 1 4 1 で駆動されるセルの紙面左側に書きこむ場合、左側のワード線 M 1 4 0 を実施例 1 3 における補助電極 M 1 2 0 と同様に用いる。読み出しも同様である。異なるのは、実施例 1 3 では補助電極としていた部分もメモリセルとなっており、隣接メモリセルのワード線を補助電極に用いて記憶、読み出し動作が行える点である。具体的にはワード線 M 1 4 1 のメモリセルを駆動する場合両端のワード線 M 1 4 0、M 1 4 1 を補助電極として用い、ワード線 M 1 4 2 のメモリセルを駆動する場合両端のワード線 M 1 4 1、M 1 4 3 を補助電極として用いる点に特徴がある。図 5 0 では直列接続セルの両端 M 1 4 7 を通常トランジスタとして示しているが、構造はメモリセルと同様で良い。一方側にしか補助電極がないために両端書込みはできないが、一方側は書込み可能であり、メモリセルとして用いても構わない。

#### 【0 1 0 5】

実施例 1 4 の製造工程を説明する。隣接ワード線を異なる工程で形成する点に特徴がある。セル分離を行ってアクティブ領域 M 1 3 7 を定義した後、トンネル絶縁膜、シリコン微小結晶 M 1 4 4、ONO 層間膜 M 1 4 8、ワード線電極材料のための n 型多結晶シリコン、カバー絶縁膜堆積を行う。レジストをマスクにカバー絶縁膜、ワード線材料をエッチングし、ワード線 M 1 4 0 M 1 4 2 形成を行う。実施例 1 3 とは異なり、層間膜、シリコン微小結晶はエッチングしない。ここで弱い酸化を行う。n 型多結晶シリコン表面は酸化されるが、シリコン微小結晶や基板は ONO 膜 M 1 4 8 で保護されており、事実上酸化されない。酸化の代わりに CVD 絶縁膜を用いても構わないが、後から作成したワード線の方が層間絶縁膜厚が厚くなる分隣接ワード線で駆動されるセルの特性が変動するので注意が必要である。さらにワード線 M 1 4 0、M 1 4 2 によって作られた溝を完全に埋めるだけの膜厚のワード線材料を堆積し、周辺部分向けのレジストマスクを併用しワード線材料材料エッチバックを行ってワード線 M 1 4 1、M 1 4 3 を形成

する。この後は実施例 1 3 と同様である。

#### 【0 1 0 6】

##### (実施例 1 5)

図 5 1 から 5 4 は、第 1 5 の実施例を示す。図 5 1 はデータ線に垂直、ワード線に平行な面での断面図である。図 5 2 が単位構造の等価回路図、図 5 3 がセル間の接続関係を示す等価回路図である。また図 5 4 はセル間の接続関係、レイアウトを示すレイアウト図であり、図 5 4 中の L I - L I 位置で矢印の方向に見た断面が図 5 1 に対応する。回路から見ると図 5 3 に鎖線で示す楕円 M 1 6 6 の領域の断面が図 5 1 に対応する。メモリセルアレイは絶縁膜上、例えばセル分離用の埋め込み絶縁膜上に形成される。積層化構造によって n 型多結晶シリコンからなるソース（ソース線）M 1 4 9、ドレイン（データ線）M 1 5 0 が互いに上下の位置関係にあり、間には絶縁膜 M 1 5 8 がある。ソース M 1 4 9、ドレイン M 1 5 0 間は半導体よりなるチャネル層薄膜 M 1 5 3、M 1 6 4 で接続され、電流は基板に垂直に流れる。チャネル層薄膜側面にはトンネル絶縁膜 M 1 5 6 を介して互いに独立した多数の半導体の結晶粒よりなる電荷蓄積領域 M 1 5 4 M、1 5 5 が設けられており、さらに層間絶縁膜 M 1 5 7 を介して、データ線間の側面に補助電極 M 1 5 2、M 1 6 4 とワード線 M 1 5 1 が設けられ、各々チャネル層薄膜の一部分を制御する。本構造は立体構造の利用によってセル面積が小さくなり、低コスト化に効果がある。

#### 【0 1 0 7】

実施例 1 5 の構成では一本のデータ線 M 1 5 0 で 2 ヶ所の電荷蓄積領域 M 1 5 4 M、1 5 5 を駆動することが可能である。すなわち、一方の電荷蓄積領域、例えば M 1 5 4 へのデータ書込み、読み出しにおいては逆側の補助電極 M 1 6 3 を低電圧とし、この領域の近辺のチャネル層薄膜 M 1 6 4 を非導通とする。書込み側の補助電極 M 1 5 2 を書込み動作の補助電極として、効率の良いホットエレクトロン注入が可能である。

#### 【0 1 0 8】

実施例 1 5 では補助電極 M 1 4 9 を書込み、読み出しの補助電極としてのみ用いたが、ワード線と補助電極の役割を入れ替えて駆動することも可能である。例

例えば補助電極M152をワード線として用いる場合、まず両側のデータ線M167、M150にデータをロード（例えば“1”書込みなら0V、“0”書込みなら5Vに設定）し、ソース線を高電圧（例えば5V）、両側の補助電極M168、M152は低電圧（例えば0V）に設定する。さらにワード線M151を比較的低い電圧（例えば2V）に設定し、補助電極M152に高電圧（例えば11V）を印加することで補助電極M152両端の電荷保持用の微小ドットM169、M154のうち、補助電極横でかつワード線M151よりの部分に情報が書込まれる。読み出し時にはワード線M151を所定の高い電圧（例えば4V）に設定し、ワード線M151横を低抵抗とし、補助電極M152を所定の読み出し電圧（例えば2.5V）に設定すればよい。

#### 【0109】

この入換動作は、より単純に図55に示すように、ゲート電極がわずかな間隔をあけて並んでいる場合に可能なものである。P型シリコン基板M170上にトンネル絶縁膜M177、微小粒記憶ノード、層間膜M178が形成され、その上に第1ゲート電極M171と第2ゲート電極M172が形成されている。n型の拡散層M173、M174で両端から電極を取り出せるようになっている。第1ゲート電極M171下の記憶領域M175に情報を書きこむ際は第2ゲート電極M172を補助ゲートとして用いる。逆に第2ゲート電極M172下の記憶領域M176に情報を書きこむ際は第1ゲート電極M171を補助ゲートとして用いる。第1ゲート電極M171下の記憶領域M175の情報を読出す場合、第2ゲート電極M172は高い電圧に設定して第2ゲート電極M172下の基板表面を第2ゲート電極M172下の記憶領域M176に書きこまれた情報の如何に関わらず低抵抗とし、第1ゲート電極M171を所定の読み出し電圧とすることでしきい電圧シフトを抵抗の違いで見えるわけである。第2ゲート電極M172下の領域を読み出す場合には第1ゲート電極M171を高い電圧に設定し、第2ゲート電極M172を所定の読み出し電圧とする。

#### 【0110】

この構成を基本として、実施例2と同様のアレイ構成をしてもよい。図17に対応する図面は図56である。実施例2と同様の記憶動作の他に補助電極M95

M 9 6 の下にも情報を書込むことが可能で、記憶密度が向上する。

【 0 1 1 1 】

実施例 1 5 ではデータ線上 M 1 5 9 及びソース線間 M 1 6 0 にチャネルの半導体材料が残っている。もちろん除去工程を入れても構わないが、動作上このままで問題ない。すなわち、ソース線は共通電位設定とするためソース線間 M 1 6 0 リークは問題にならないし、データ線上 M 1 5 9 は同じデータ線の異なる側面を接続するだけだからである。実施例 1 5 では n 型多結晶シリコンでソース線、データ線を形成したが、これでは金属配線と比較して高抵抗である。適当な長さでコンタクトをとり、金属のデータ線で裏打ちする構成をとる方法が有効である。また、適当な長さで多結晶シリコンデータ線 M 1 5 0 を切断し、スイッチを介してコンタクトをとり、金属のグローバルデータ線に接続する階層化データ線構造を取ることも有効である。さらにソース線、データ線を金属で形成し、低抵抗化を図っても良い。この場合チャネル層薄膜 M 1 5 3、M 1 6 4 とソース M 1 4 9、ドレイン M 1 5 0 間に P N 接合はできないが、チャネル層薄膜 M 1 5 3、M 1 6 4 を十分に空乏化することでオフ時のリークを低く抑えることが可能である。尚、実施例 1 5 ではソース、絶縁膜、ドレインの縦型構造としたが、シリコン基板表面をエッチングし、前記データ線と同様の縦型構造を作ってもよい。

【 0 1 1 2 】

次に、実施例 1 5 の製造工程を説明する。セル分離領域上に n 型多結晶シリコン、 $\text{SiO}_2$ 、n 型多結晶シリコン、 $\text{SiO}_2$  の順に堆積し、レジストをマスクに一括加工することでデータ線 M 1 5 0、ソース線 M 1 4 9 を形成する。イントリンシックあるいは弱い p 型の厚さ 8 nm のアモルファスシリコン薄膜を堆積し、さらにトンネル絶縁膜 M 1 5 6 を堆積する。この熱工程によって CVD によりアモルファスシリコン薄膜の結晶化が行われる。シリコン結晶粒を形成し、さらに層間絶縁膜 M 1 5 7 を堆積、この上に溝を埋め込む形で補助電極材料の n 型多結晶シリコンを堆積する。エッチバックを行い、溝の底に補助電極 M 1 5 2、M 1 6 3 を形成する。ここで表面を酸化、または絶縁膜堆積を行い、さらにワード線材料を溝を埋め込む形で堆積する。平坦化を行い、さらにレジストをマスクにワード線材料を加工することでワード線 M 1 5 1 を形成する。ここではデータ線側面

のうちワード線がない領域にもチャネル層薄膜が存在するが、しきい電圧を高く設定し、ノーマリーオフとしておけば問題ない。しきい電圧をより低く設定した場合にはワード線をマスクにさらに層間膜、トンネル膜、チャネル層薄膜の加工を行うことでワード線のない部分のリークを防ぐ。また、補助電極形成前にチャネル層薄膜エッチをあらかじめ行っておいてもよい。

#### 【0113】

(読み出し時の参照電位発生にダミーセルを用いる方法)

上述の各実施例における読み出しの参照電位発生にダミーセルを用いる方法が有効である。図57にはダミーセルを用いた場合の読み出しワード線電圧印加後のデータ線の電位変化を単純化して示している。図57(a)がソース端読み出し、(b)がドレイン端読み出しである。図に示すように、ソース端読み出しの特性はドレイン端読み出しの影響を受けないのが理想的であるが、実際にはわずかに影響を受ける。ドレイン端読み出しについても同様である。ダミーセルを用いることにより、この影響を実質的に回避することができる。従ってダミーセルの書込みでは両端ともに弱い書込みを行ったセルを用いるのがよい。弱い書込みには書込み時のワード線電圧を小さく設定する方法、ワード線に与える書込みパルス幅を短くする方法、データ線電圧を小さく設定する方法等があり、どれを用いても構わない。

#### 【0114】

(メモリマップ)

ここで、メモリマップについて説明する。ここでは、同一ワード線で駆動されるセル全体をセクターと呼ぶこととする。

#### 【0115】

図58は実施例8のメモリマップ例を示す。同一ワード線で駆動されるセルは8192セルであり、16384本のワード線を有して256Mbの記憶容量を実現する。実際にはこの他にエラー訂正等のための制御情報をワード線あたり数十バイト持つが、図中では省略している。また実施例7で述べたように、ウエル電位を変化させて消去動作を行う場合には、複数セクターを一組としたブロックという単位でウエルを共有させる。異なるブロックのウエルは電氣的に分離し別

々に駆動することができるようにする。従ってブロック単位の消去を行うことになる。

#### 【0 1 1 6】

この結果駆動すべきウエルの容量が減り、端から端までの寄生抵抗も下がるため高速で安定した動作が可能となる。図中左側のアドレスはセクターアドレスである。1セルにソース端記憶とドレイン端記憶があるため同一ワード線で駆動されるセルには2つのセクターが割り振られる。実施例8ではソース端のみでセクターアドレスを順に割り振り、ドレイン端のセクターアドレスはソース端アドレスから離れている。書込みにおいてセクターアドレスの連続する領域に順に書込むように制御を行う。このため書込み動作中にソース線電位を変更する必要がなく、高速の書込みが可能である。同じ理由で読み出しも高速となる。一方、異なるファイルの情報が同一セル内に記憶されることになる。

#### 【0 1 1 7】

実施例8では消去動作を両端で同時に行うことから、一方のファイルのみを選択的に消去するということができない。そこでまず消去したいファイルの格納されているメモリ領域の他端にあたる部分を外部に読み出し、RAM等に保持しておく。次に該当領域の消去を行い、改めて外部に保持してあった情報及び書き換えたい情報を書きこむ。前記ブロック消去を採用している場合にはこの読み出し待避動作の単位はブロックということになる。ウエル電位を変化させずに消去を行う方式の場合セクター単位の消去が可能であるため、以下に述べる他の方法も可能である。すなわち書換えを行いたいセクターの他端情報を読み出し、レジスタに格納した後にセクター消去を行い、次に他端情報を書き戻す。書き換えたい情報の書きこみはこの後に行う。データ線あたり2個のレジスタを用意すればこの待避情報と書換え情報を同時にレジスタに保持することができるため、動作シーケンスの自由度が増す。一方、一般には消去動作は読み出し動作と比較して数倍以上の時間がかかるため、前記外部への待避方式と比較して消去動作が繰り返される分動作が遅くなるという課題がある。

#### 【0 1 1 8】

図59には実施例8における他のメモリマップ例を示す。本構成は異なるソー

ス線で駆動される 2 セクターを一組にし、ブロックとして扱う。例えば隣接するワード線 M 2 5、M 2 9 で駆動されるセクターでブロックを形成する。セクターアドレスは同じワード線のソース端とドレイン端で連続しないように割り振り、この順に書込みを行う。この結果一方のワード線（例えば M 2 9）のドレイン端に書込みを行っている間に次に書込む他方のワード線（例えば M 2 5）で駆動されるセルのソース線（この場合 M 2 1）をソース端書きこみ用に電圧設定切り替えを行うことが可能で電圧切り替えの速度のペナルティが少なく済む。図 5 8 の方法と比べてソース線切り替え頻度が高く、消費電力の点で大きくなるが、小さいブロックを構成でき、この単位での消去に際し上述のような待避動作が不要になるという利点がある。

#### 【 0 1 1 9 】

尚、ここで述べたのは両端記憶を行うセルを用いたメモリの情報格納場所の管理方法であり、例えばセクターアドレスの書込み順序を説明するためのものである。従ってセクター、ブロック、アドレス等の割付がこの通りでなくともよいのは言うまでもない。また、ソフトウェア等による割付管理を行うことで使用途中で割り付け方が変わっても良い。

#### 【 0 1 2 0 】

また、実施例 4 では、セクター番号を同一ブロック内のソース端で順に割り付けた後、連続してドレイン端に割り付ける（図 5 8 参照）。実施例 4 においては単位ローカルデータ線を駆動する複数ワード線を一組とし、これら一組のワード線で駆動されるセル全体をブロックと呼ぶこととする。

#### 【 0 1 2 1 】

書込み順もこの順番とすれば連続したデータを同じブロックのソース端、ドレイン端に格納することができるため、ブロック消去の際の待避動作をしなくともよい。書込み動作中にソース端、ドレイン端書込みの切り替え動作が入るが、実施例 4 は実施例 8 と比較して切り替えが速いためこのような駆動が有効となる。他に同じワード線で駆動されるソース端とドレイン端の書込みを続けて行う駆動方法を採用してもよい。ローカルソース線の充放電の分消費電力が増大し、時間も切り替え時間分動作が遅くなるが、ワード線単位の消去、書込みが可能となるた

め扱うデータ単位が小規模である場合に特に有効である。

#### 【0122】

さらに、実施例9においては単位ローカルデータ線を駆動する複数ワード線を一組とし、これら一組のワード線で駆動されるセル全体をブロックと呼ぶこととする。実施例9ではセクター番号を同一ブロック内のソース端で順に割り付けた後、連続してドレイン端に割り付ける（図60参照）。書込み順もこの順番とすれば連続したデータを同じブロックのソース端、ドレイン端に格納することができ、ブロック消去の際の待避動作をしなくともよい。書込み動作中にソース端、ドレイン端書込みの切り替え動作が入るが、本実施例は実施例8と比較して切り替えが速いためこのような駆動に好適である。他に同じワード線で駆動されるソース端とドレイン端の書込みを続けて行う駆動方法を採用してもよい。ローカルソース線の充放電の分消費電力が増大し、時間も切り替え時間分動作が遅くなるが、ワード線単位の消去、書込みが可能となるため扱うデータ単位が小規模である場合に特に有効である。

#### 【0123】

また、実施例10においてもローカルデータ線構造を有するため、ブロックの定義は実施例9と同様とする。実施例10のセル駆動方法は実施例8と類似であるが、書込み、読み出しのターゲットとなるセルを含まないローカルデータ線に接続された選択トランジスタをオフ状態にする部分が異なる。また、本実施例のメモリセルを用いたメモリにおいて、以下に説明するような記憶場所の管理方法においても実施例8と異なる。本方法は特にデジタルカメラによる撮影等单位ファイルサイズが100KB程度以上の規模でかつファイルサイズがほぼそろっている場合の用途に適している。

#### 【0124】

まず、外部より単位ファイルサイズを指定する信号を入力する。ファイル書込みにおいて、各メモリマットのソース端またはドレイン端を入れ替えずに複数ブロックを用いて書込みを行う。例えばソース端のみ書込みを行う。この複数のブロック数は、先に入力したファイルサイズをソース端、ドレイン端の両方併せた容量で格納できる数にする。次に他端書きこみ用にモード切り替えを行い、残り



の書きこみを行う。この結果ファイル消去時に前記複数ブロックを消去すればよく、実施例 9 と同様で待避動作を行わなくともよいという特徴がある。

【 0 1 2 5 】

【発明の効果】

本発明によれば、高速読み出しが要求される半導体記憶装置を、安価に供給することができる。あるいは、信頼性を確保しつつ縦方向のスケーリングを実現するセル構造を提供することができる。また、セル性能を大きく低下させることなくセル当りの記憶情報を増加させる方法を提供することができる。さらに、このようなセルによって大容量記憶装置を実現する方法を提供することができる。

【図面の簡単な説明】

【図 1】

実施例 1 の半導体記憶装置のレイアウトを示す図。

【図 2】

図 1 の II-II 位置で矢印方向に見た半導体記憶装置の断面を示す図。

【図 3】

図 1 の III-III 位置で矢印方向に見た半導体記憶装置の断面を示す図。

【図 4】

実施例 1 のメモリセルの対応する回路図上の表記を示す図。

【図 5】

実施例 1 の半導体記憶装置の等価回路図を示す図。

【図 6】

実施例 2 の 1 セルあたり 2 b i t 以上の記憶方式の読み出し原理を示す図。

【図 7】

実施例 2 の書込み動作を周辺回路の駆動まで含めて示す図。

【図 8】

実施例 2 の読み出し動作を周辺回路の駆動まで含めて示す図。

【図 9】

実施例 3 の半導体記憶装置のレイアウトを示す図。

【図 1 0】

図 9 の X-X 位置で矢印方向に見た半導体記憶装置の断面を示す図。

【図 1 1】

図 9 の XI-XI 位置で矢印方向に見た半導体記憶装置の断面を示す図。

【図 1 2】

実施例 3 のメモリセルアレイ等価回路を示す図。

【図 1 3】

実施例 4 のメモリセルアレイ等価回路を示す図。

【図 1 4】

図 1 6 の XIV-XIV 位置で矢印方向に見た実施例 5 の半導体記憶セルの断面構造を示す図。

【図 1 5】

実施例 5 の半導体記憶セルに対応する等価回路を示す図。

【図 1 6】

実施例 5 の半導体記憶セルのレイアウト示す図。

【図 1 7】

実施例 6 の半導体装置のメモリセル部分のワード線平行面における断面構造を示す図。

【図 1 8】

実施例 6 の半導体装置のメモリセル部分の接続関係を説明する等価回路を示す図。

【図 1 9】

実施例 6 の半導体装置のメモリセル部分の製造工程を説明するワード線平行面における断面構造を示す図。

【図 2 0】

実施例 7 の半導体記憶セルの断面構造を示す図。

【図 2 1】

(a)、(b) は実施例 7 の半導体記憶セルの書込み動作、読み出し動作を説明するために用いる断面構造を示す図。

【図 2 2】

(a)、(b)は実施例7の半導体記憶セルの側壁によるトランジスタ構造を明示した等価回路、その略図の等価回路を示す図。

【図23】

実施例7の半導体記憶セルを用いたメモリセルアレイの接続関係を示す等価回路を示す図。

【図24】

実施例7における図23に対応するレイアウトを示す図。

【図25】

実施例8の半導体装置におけるメモリセルのデータ線平行、ワード線断面方向での隣接2セルの断面を示す図。

【図26】

実施例8の半導体装置におけるメモリセルのデータ線断面、ワード線平行方向でのセルの断面を示す図。

【図27】

実施例8の半導体装置の書込み動作を説明するための回路構成を示す図。

【図28】

実施例8の半導体装置の読み出し動作を説明するための回路構成を示す図。

【図29】

実施例9の半導体記憶セルを図34におけるXXIX-XXIX位置で矢印方向に見た断面構造示す図。

【図30】

実施例9の半導体記憶セルを用いて構成したメモリセルアレイの接続関係を示す等価回路図。

【図31】

実施例9の半導体記憶セルの製造工程を説明するための製造途中におけるメモリセルアレイのレイアウトを示す図。

【図32】

実施例9の半導体記憶セルの製造工程を説明するための製造途中におけるメモリセルアレイのレイアウトを示す図。

【図 3 3】

実施例 9 の半導体記憶セルの製造工程を説明するための製造途中におけるメモリセルアレイのレイアウトを示す図。

【図 3 4】

実施例 9 の半導体記憶セルの製造工程を説明するためのメモリセルアレイのレイアウトを示す図。

【図 3 5】

実施例 9 の半導体記憶セルの製造工程の一部を説明する断面を示す図。

【図 3 6】

実施例 9 の半導体記憶セルの製造工程の引き続く一部を説明する断面を示す図。

【図 3 7】

実施例 1 0 の半導体装置のメモリセルアレイの構成に対応する等価回路を示す図。

【図 3 8】

図 3 7 に対応する実施例 1 0 の半導体装置のメモリセルアレイの構成を示すレイアウト図。

【図 3 9】

実施例 1 1 の半導体記憶セルのデータ線断面における断面構造を示す図。

【図 4 0】

実施例 1 1 の半導体記憶セルに対応する等価回路を示す図。

【図 4 1】

実施例 1 2 の半導体装置のメモリセルアレイ部分のワード線平行面における断面構造を示す図。

【図 4 2】

実施例 1 2 の半導体装置のメモリセル部分の接続関係を説明する等価回路図。

【図 4 3】

実施例 1 2 の他の実施形態の半導体装置におけるメモリセルアレイ部分のワード線平行面における断面構造を示す図。

【図 4 4】

実施例 1 3 の半導体装置のメモリセルアレイ部分のワード線平行面における断面を示す図。

【図 4 5】

実施例 1 3 の半導体装置のメモリセル部分の接続関係を説明する等価回路図。

【図 4 6】

実施例 1 3 の半導体装置の製造工程の一部を説明するための図 4 5 に対応する部分のレイアウトを示す図。

【図 4 7】

実施例 1 3 の半導体装置の製造工程の次の一部を説明するための図 4 5 に対応する部分のレイアウトを示す図。

【図 4 8】

実施例 1 3 の他の実施形態の半導体装置のメモリセル部分の接続関係を説明する等価回路図。

【図 4 9】

実施例 1 4 の半導体装置のメモリセルアレイ部分の読み出し電流平行面、ワード線断面における断面構造を示す図。

【図 5 0】

実施例 1 4 の半導体装置のメモリセルアレイ部分の接続関係を説明する等価回路図。

【図 5 1】

実施例 1 5 の半導体装置のメモリセルアレイ部分のレイアウトを示す図 5 4 中の L I - L I 位置で矢印の方向に見た断面構造を示す図。

【図 5 2】

実施例 1 5 の半導体記憶セルに対応する等価回路図。

【図 5 3】

実施例 1 5 の半導体装置のメモリセルアレイ部分の接続関係を説明する等価回路図。

【図 5 4】

実施例 1 5 の半導体装置のメモリセルアレイ部分のレイアウトを示す図。

【図 5 5】

実施例 1 5 の他の実施形態の半導体記憶セルの断面構造を示す図。

【図 5 6】

実施例 1 5 の他の実施形態の半導体装置のメモリセル部分における、ワード線平行面、データ線断面における断面構造を示す図。

【図 5 7】

実施例 8 の半導体装置の読み出し動作における電位変化を示すモデル図。

【図 5 8】

実施例 8 の半導体装置のメモリマップの例を示す図。

【図 5 9】

実施例 8 の半導体装置のメモリマップの例を示す図。

【図 6 0】

実施例 9 の半導体装置のメモリマップの例を示す図。

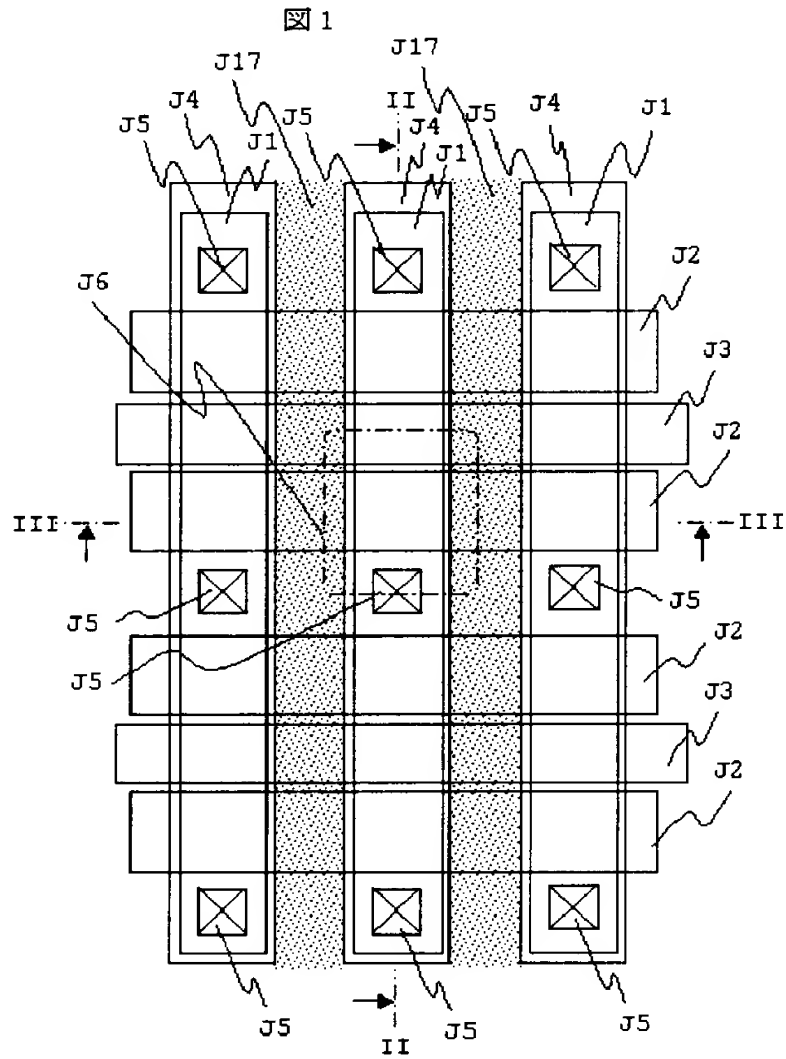
【符号の説明】

J 1 : アクティブ領域、J 2 : n 型多結晶シリコンのワード線、J 3 : ソース線、J 4 : データ線、J 5 : データ線コンタクト、J 6 : 最小記憶単位、J 7 : n 型のソース領域、J 7 A - J 7 C : ソース領域の構成要素、J 8 : ドレイン領域、J 8 A - J 8 C : ドレイン領域の構成要素、J 9 : 絶縁膜、J 1 0 : 微少結晶粒、J 1 1 : ONO 構造の絶縁膜、J 1 2, J 1 3 : 電荷蓄積領域、J 1 4 - J 1 6 : 絶縁層、J 1 7 : セル分離領域、J 1 8 : 電荷蓄積領域、J 2 0 : 選択メモリセル、J 2 1, J 2 2, J 2 3 : 非選択メモリセル、J 2 4, J 2 5 : ワード線、J 4 0 : ソース端書込みを行うかドレイン端書込みを行うかの信号 W S E R E C T、J 4 1 : ソース線、V W S S, V W S D : ソース線 J 4 1 の電圧、J 4 2 : ラッチ、J 4 3 : セル、J 4 4 : データ線、J 4 5 : ワード線、V W D L, V W D H, V W W, V W 0 : 書込み動作に関する電圧、J 5 0 : ソース端読み出しを行うかドレイン端読み出しを行うかの信号 R S E R E C T、V R S S, V R S D : ソース線 J 4 1 の電圧、J 5 1 : ソース線、J 5 2 : データ線、V P C S, V R S D, V W R : 読み出し動作に関する電圧、J 5 4 : 差動増幅型のセ

ンスアンプ、J 5 5 : センスアンプの他の入力線、V R E F S , V R E F D : セ  
ンスアンプの参照電位。

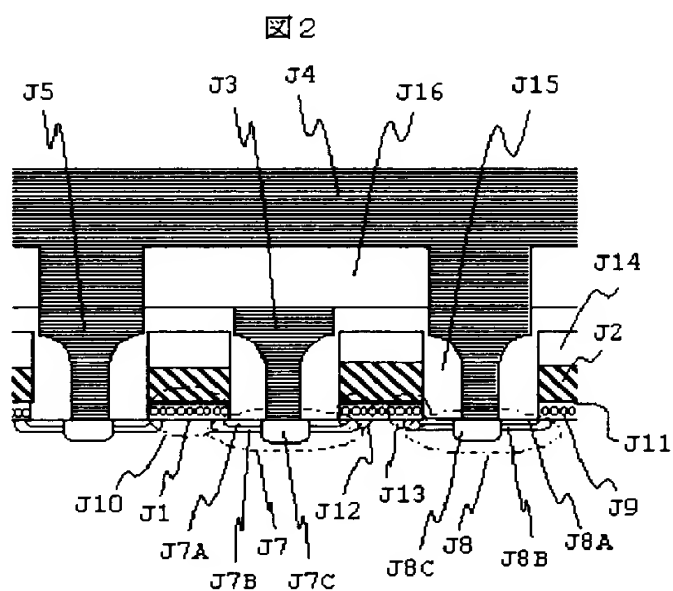
【書類名】 図面

【图 1】

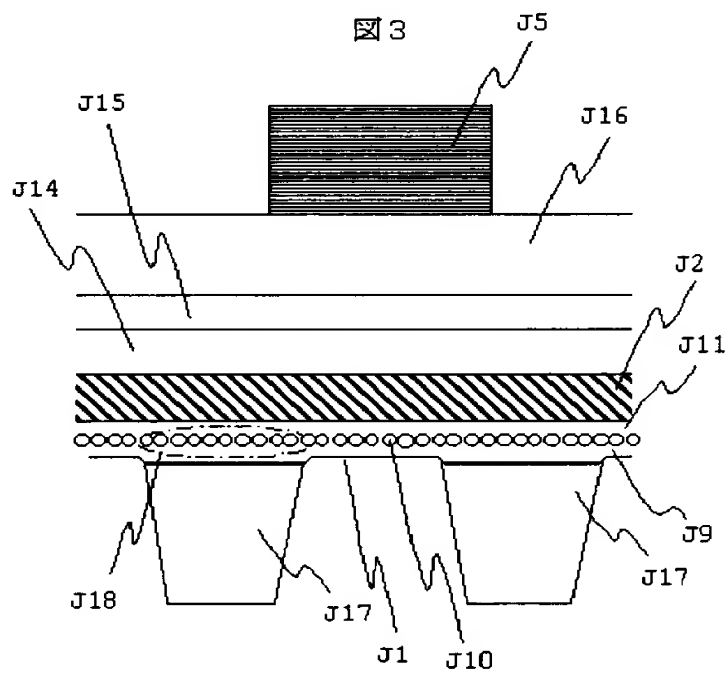




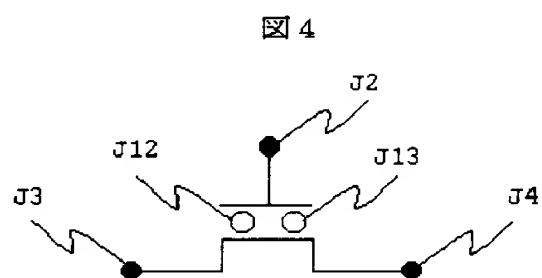
【図 2】



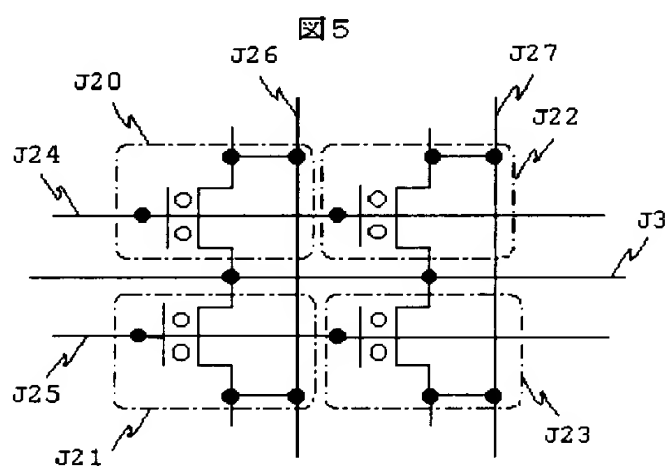
【図 3】



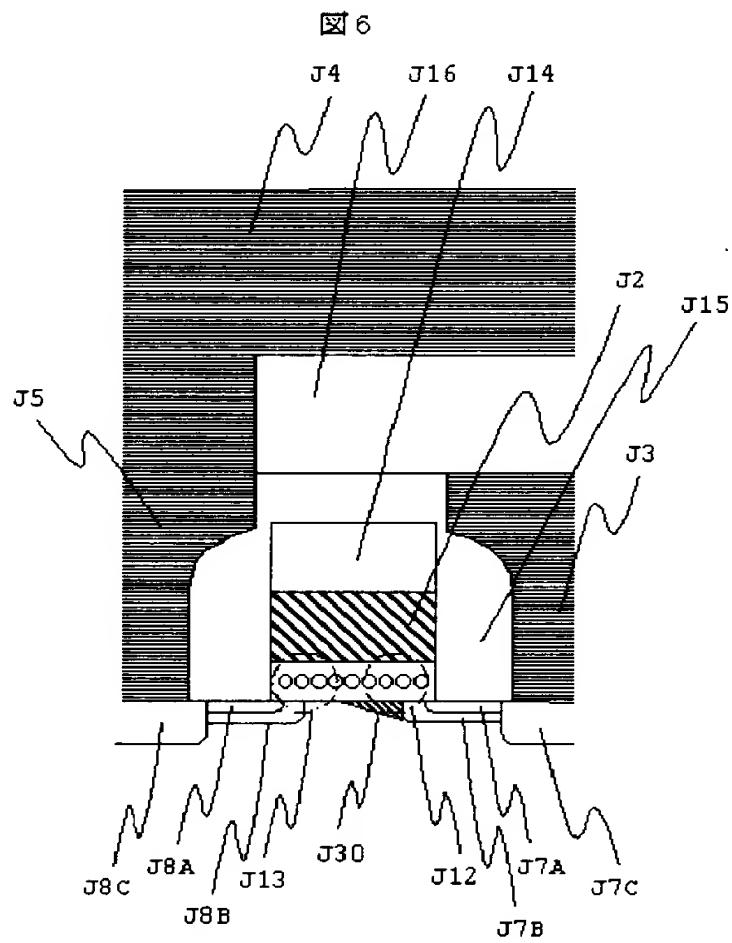
【図 4】



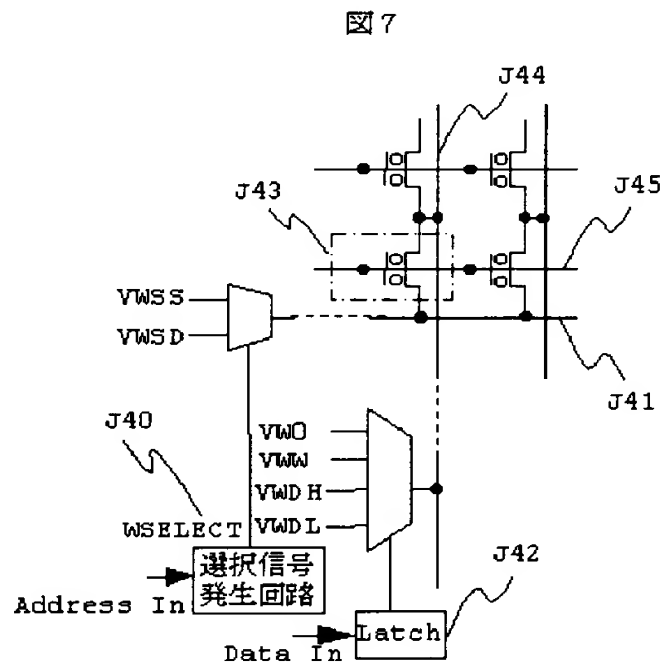
【図 5】



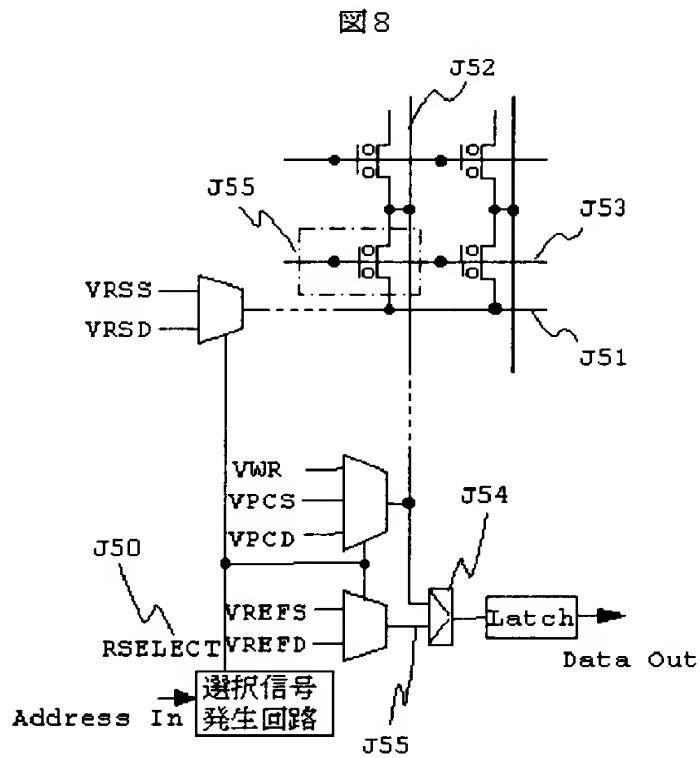
【図 6】



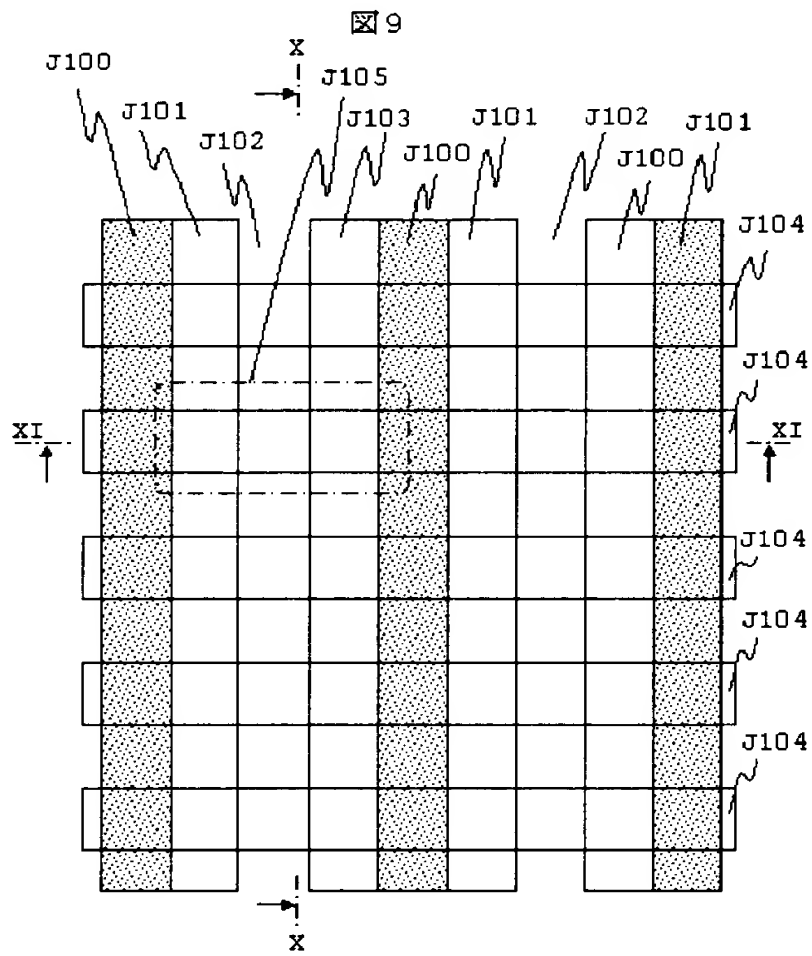
【図7】



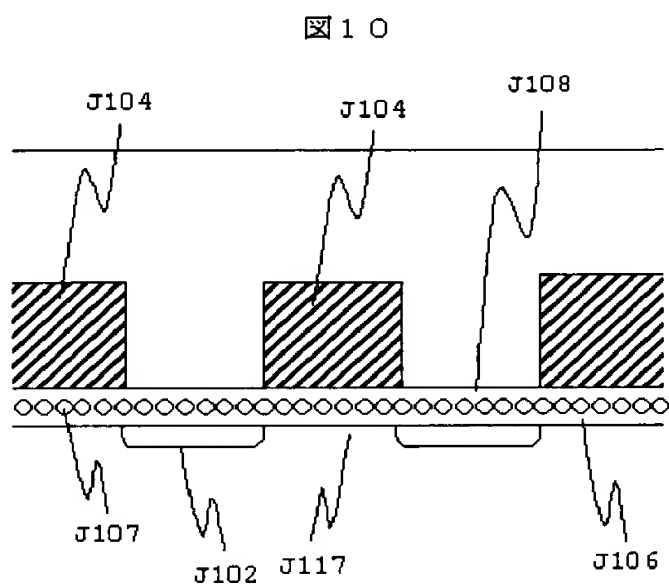
【図 8】



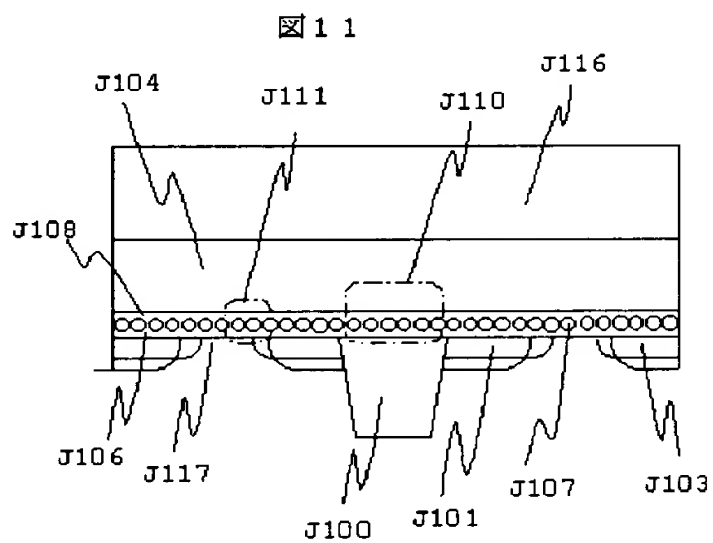
【図9】



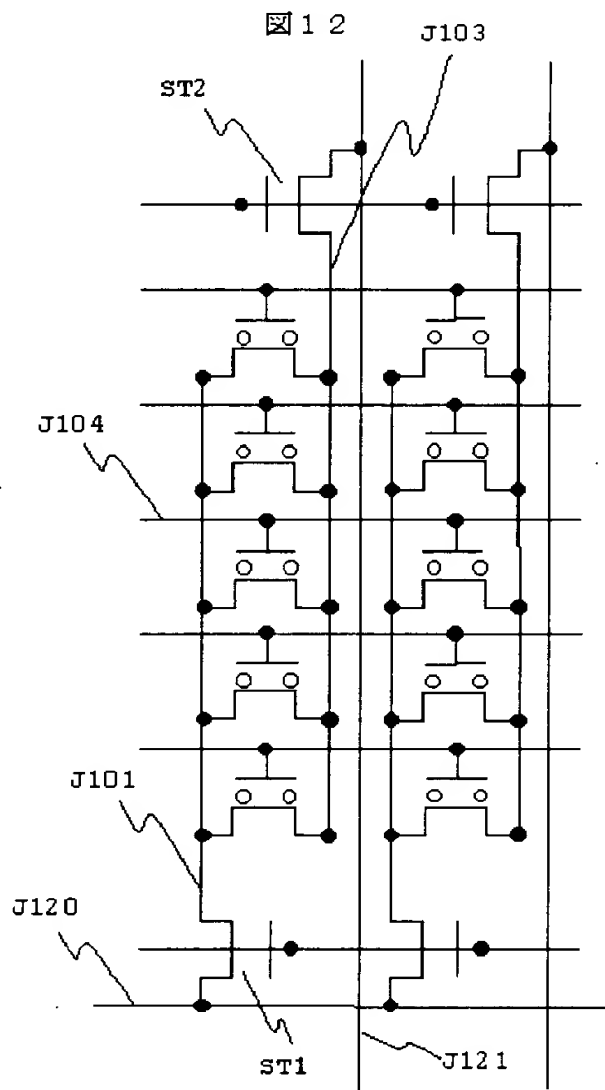
【図10】



【図11】

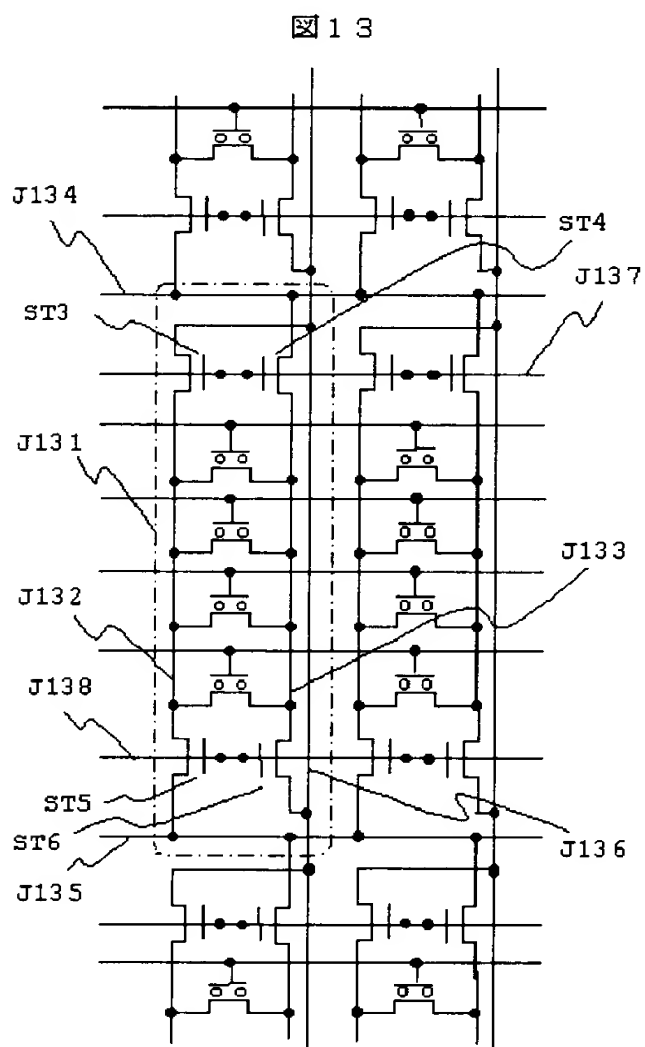


【図 12】

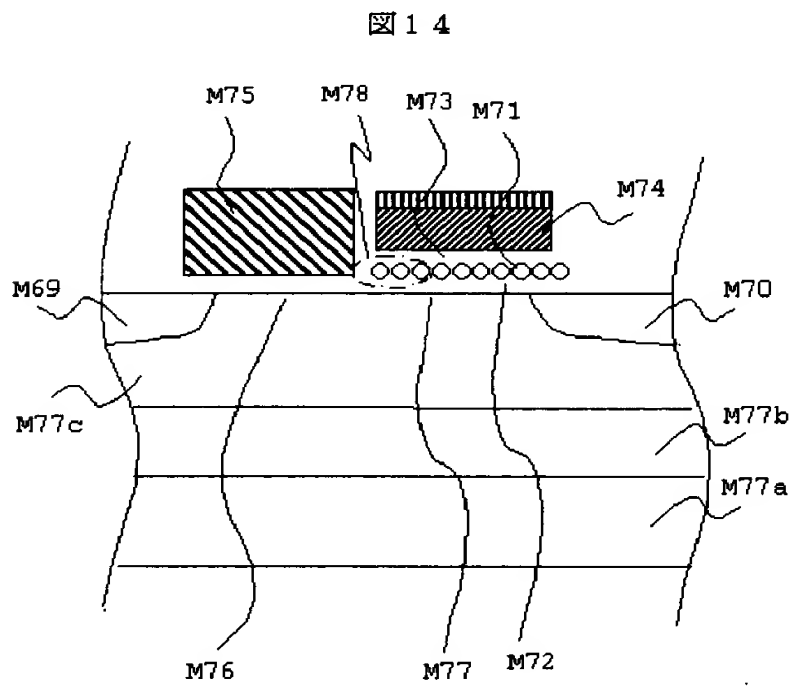




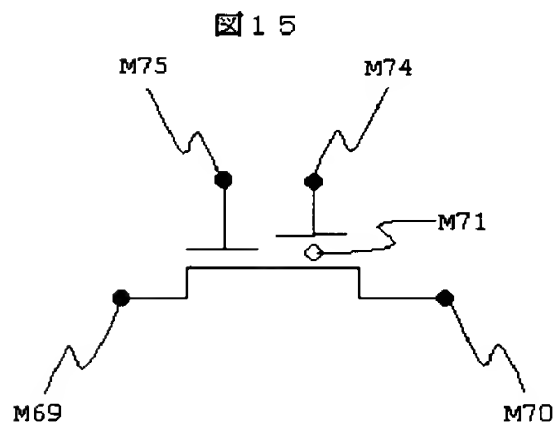
【図 13】



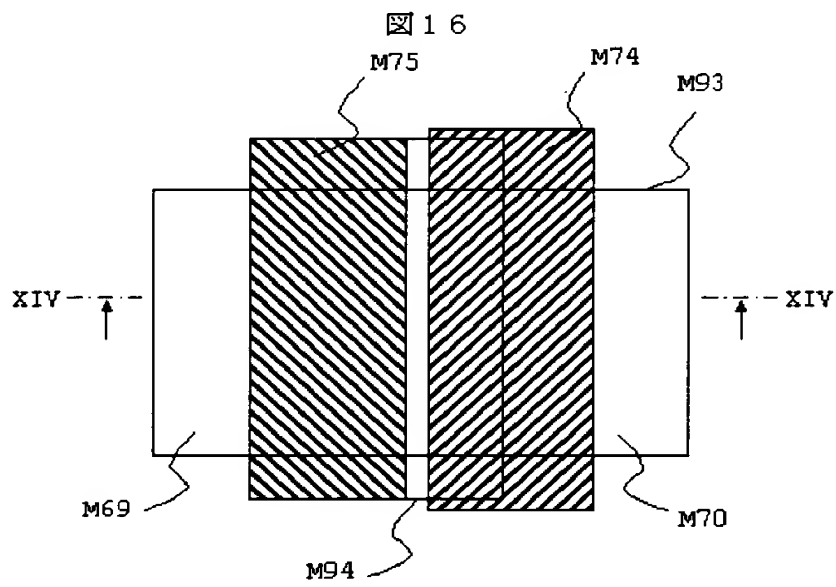
【図14】



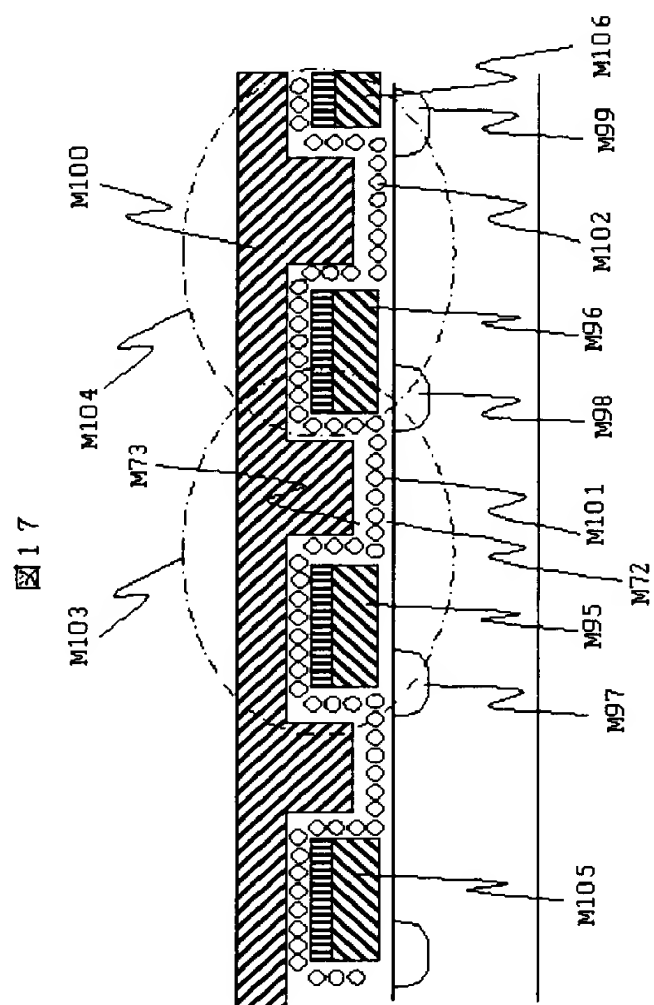
【図15】



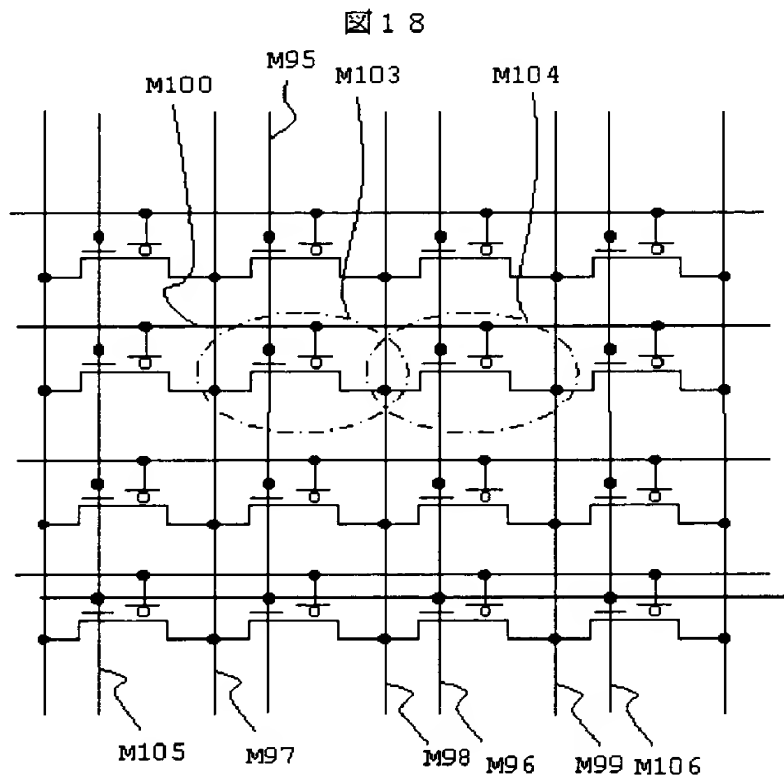
【図 1 6】



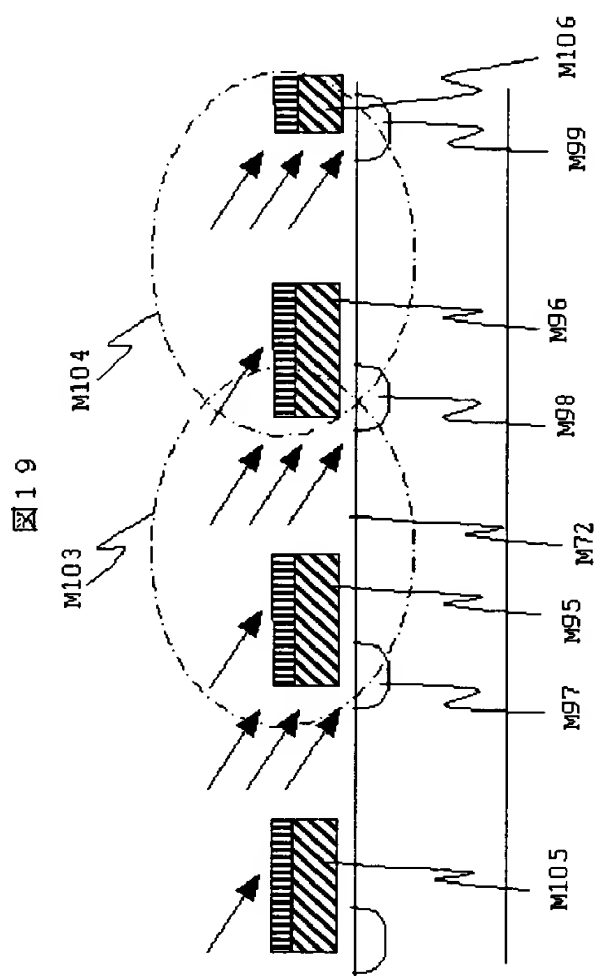
【図17】



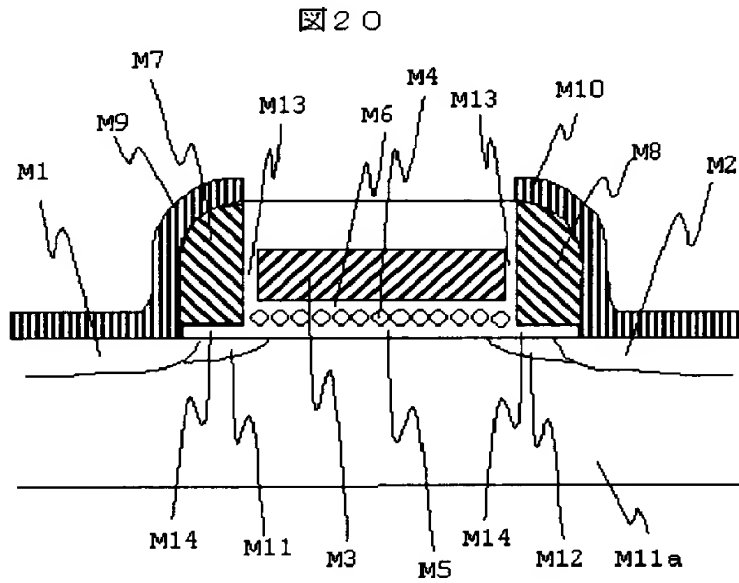
【図 18】



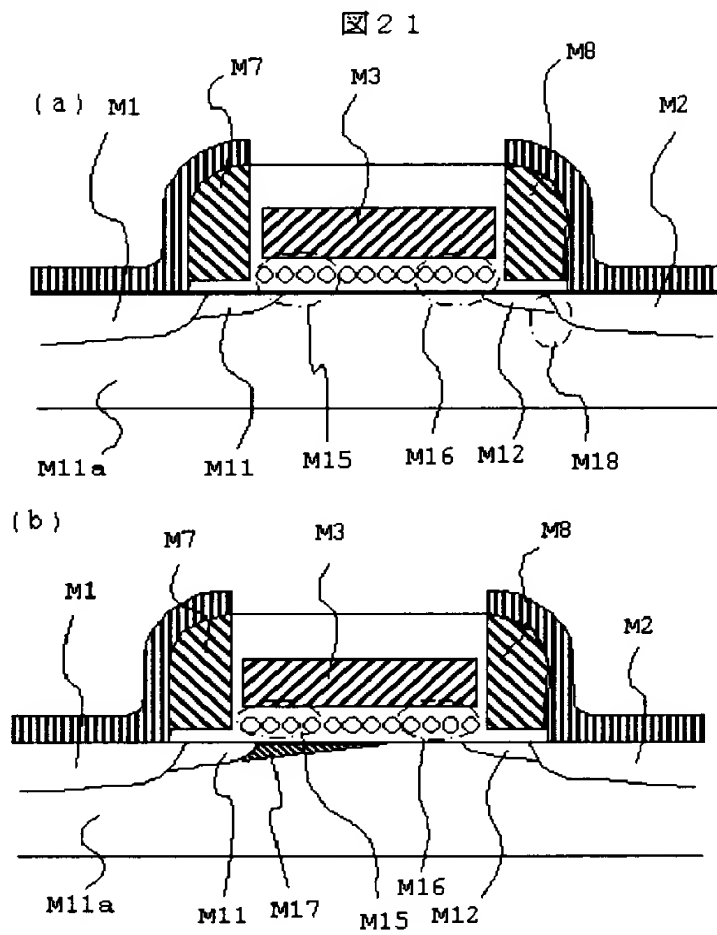
【図 19】



【図 20】



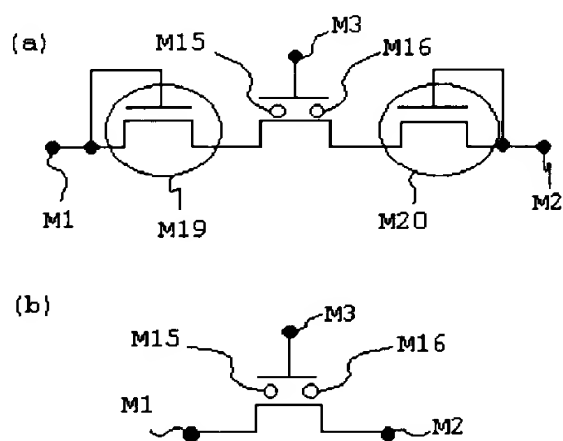
【図 21】



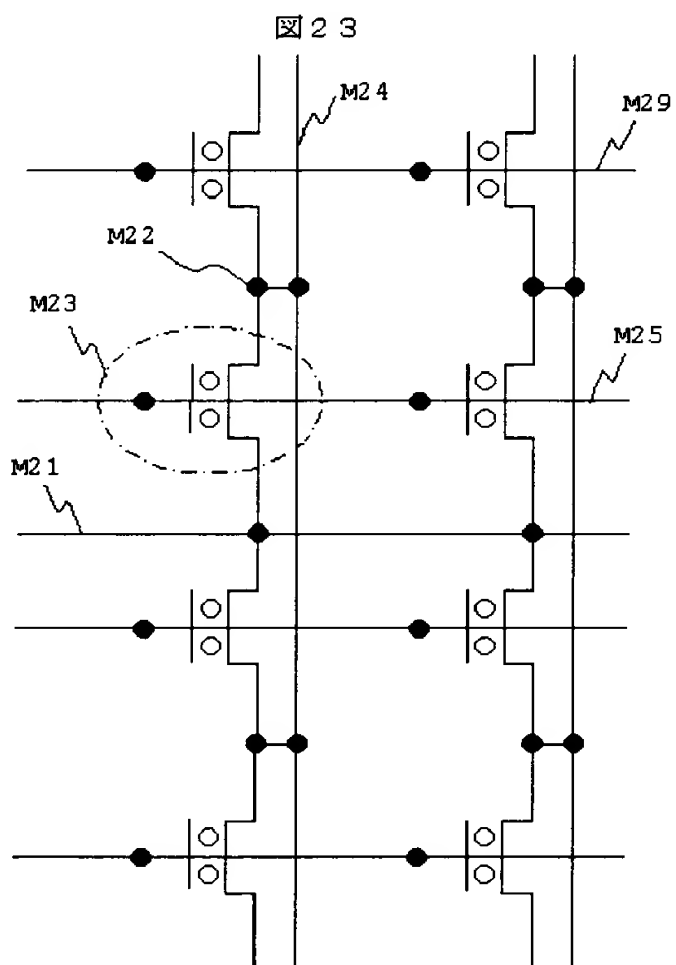


【図 2 2】

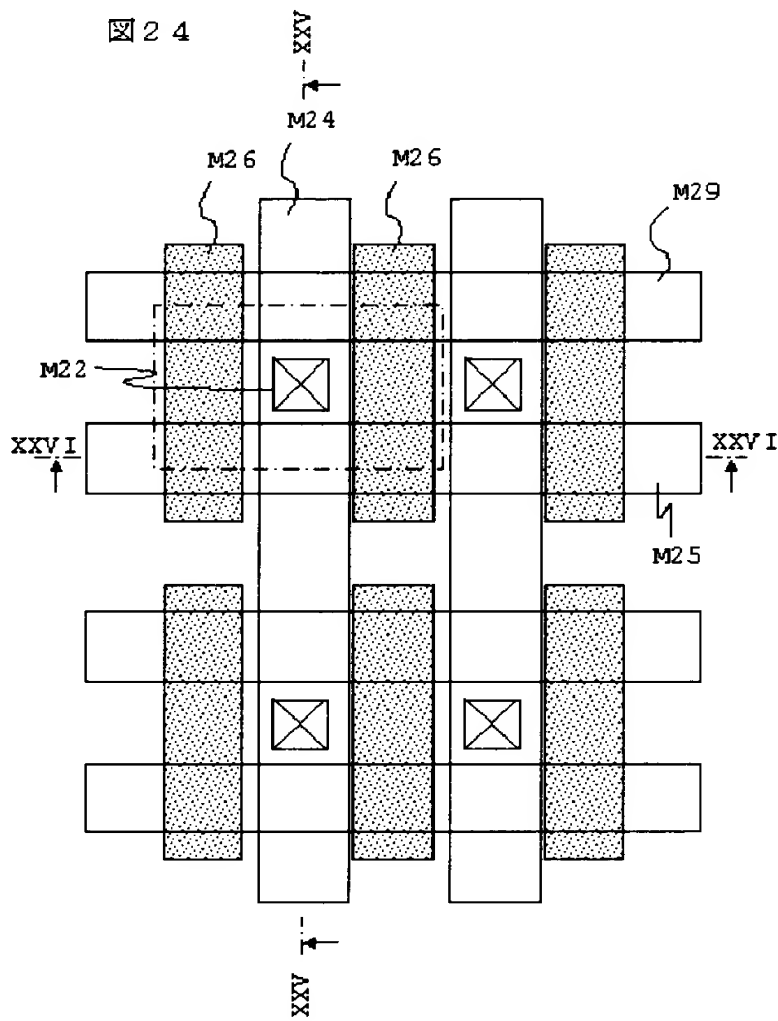
図 2 2



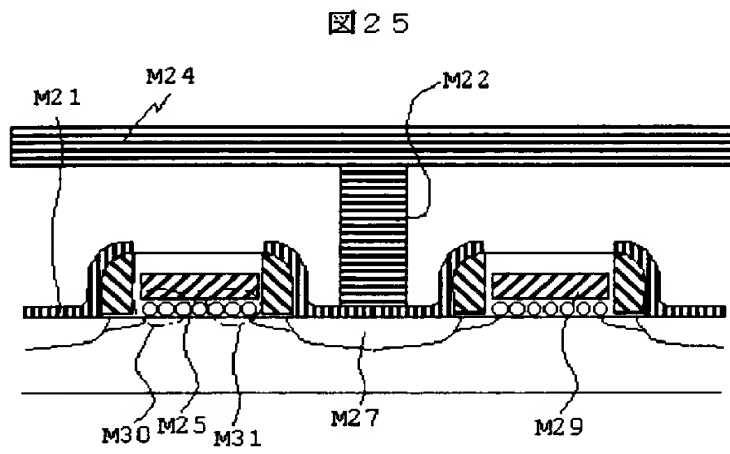
【図 2 3】



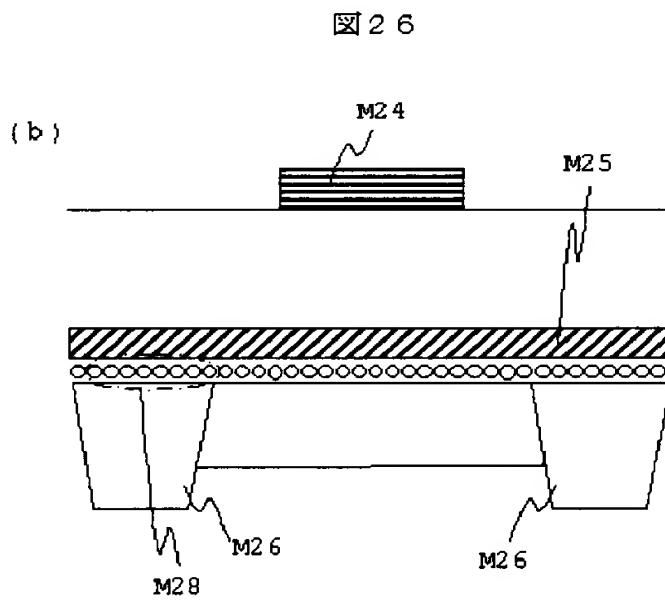
【図 2 4】



【図 25】

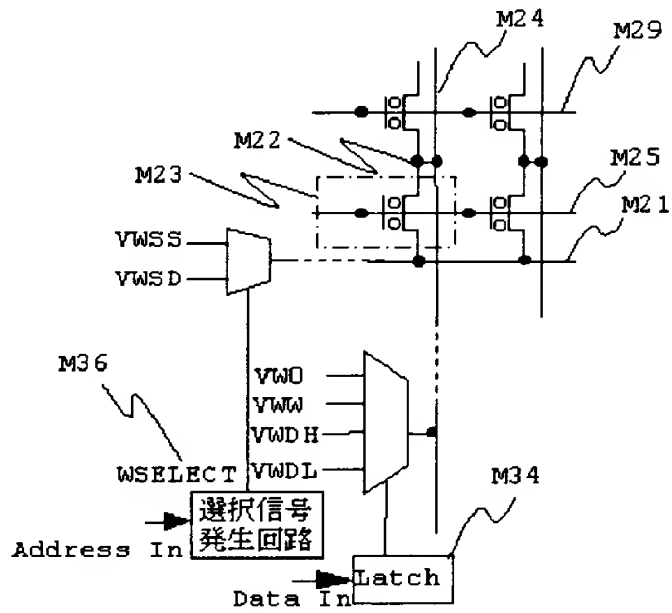


【図 26】

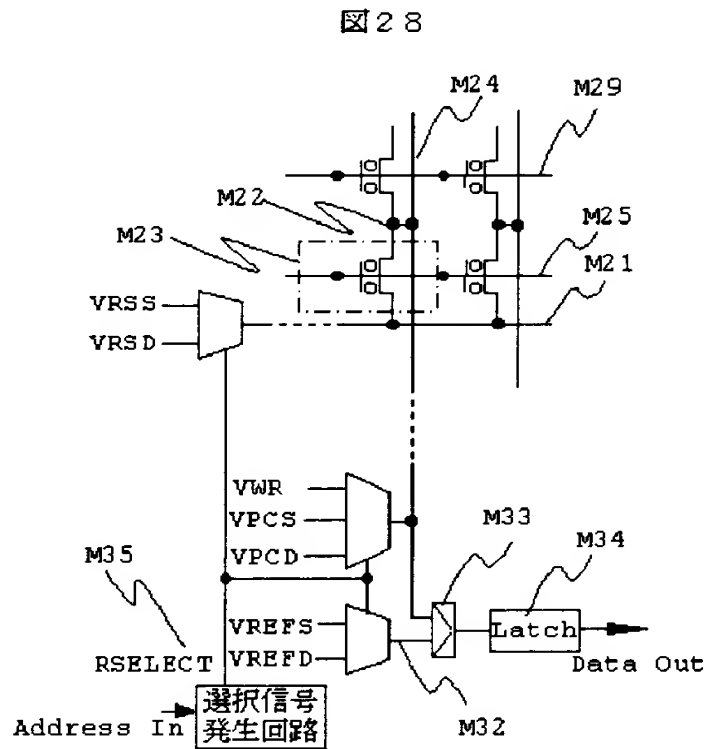


【图 27】

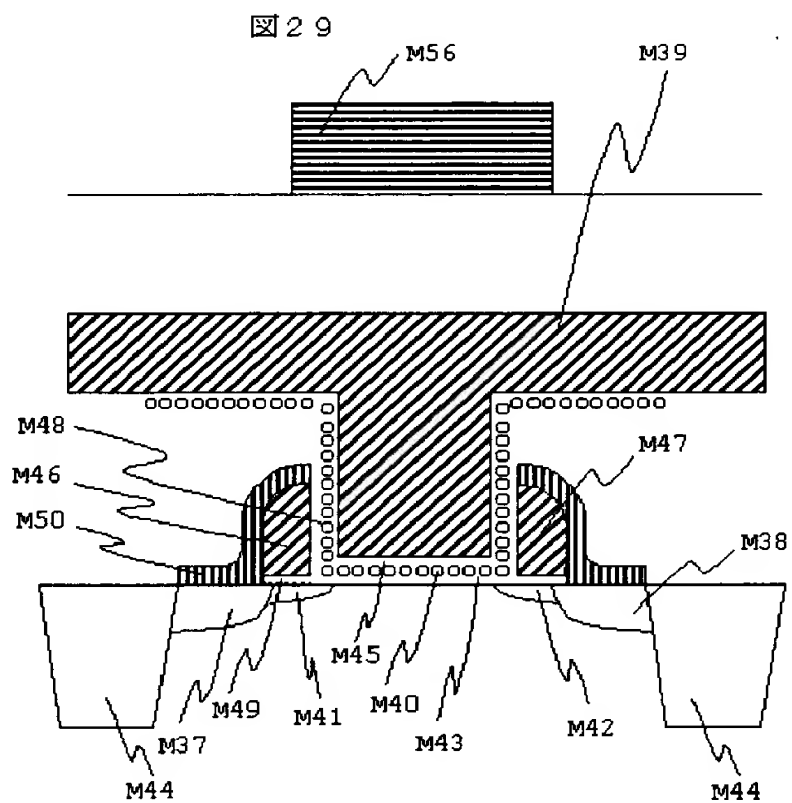
图 2-7



【図 28】

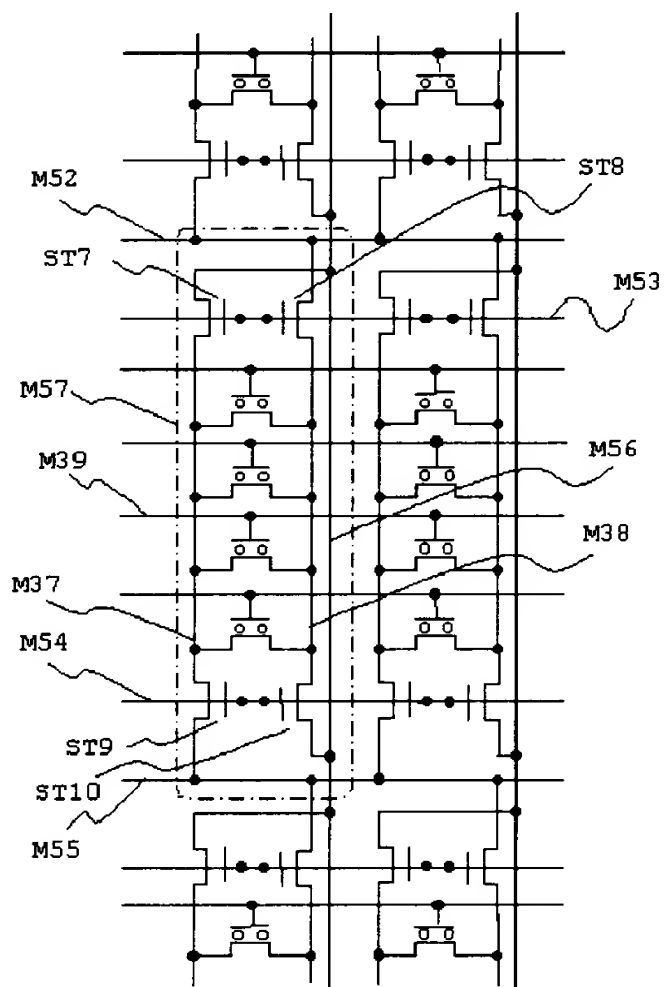


【図 29】



【図 3 0】

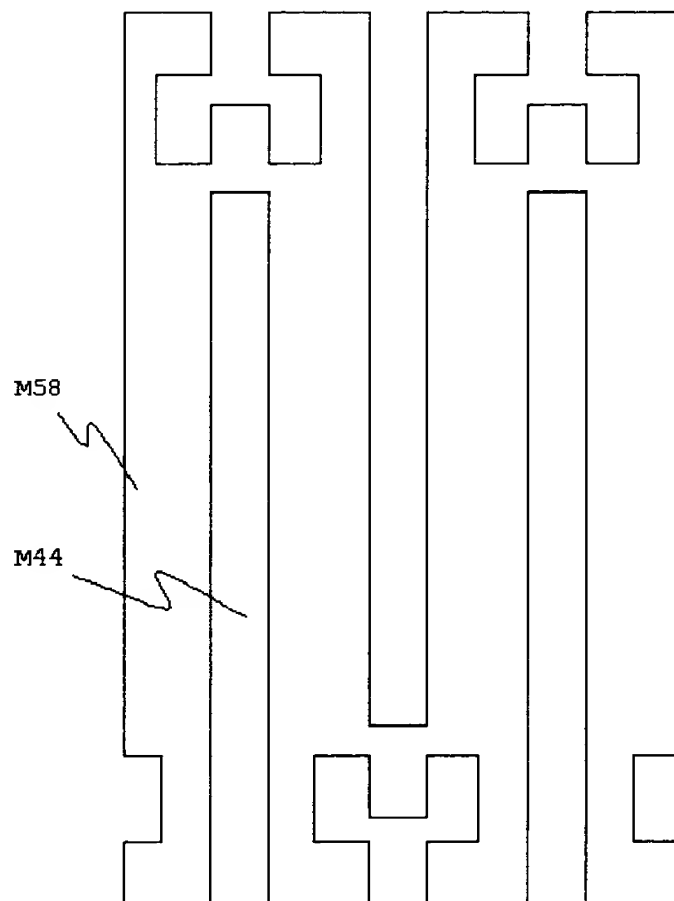
図 3 0





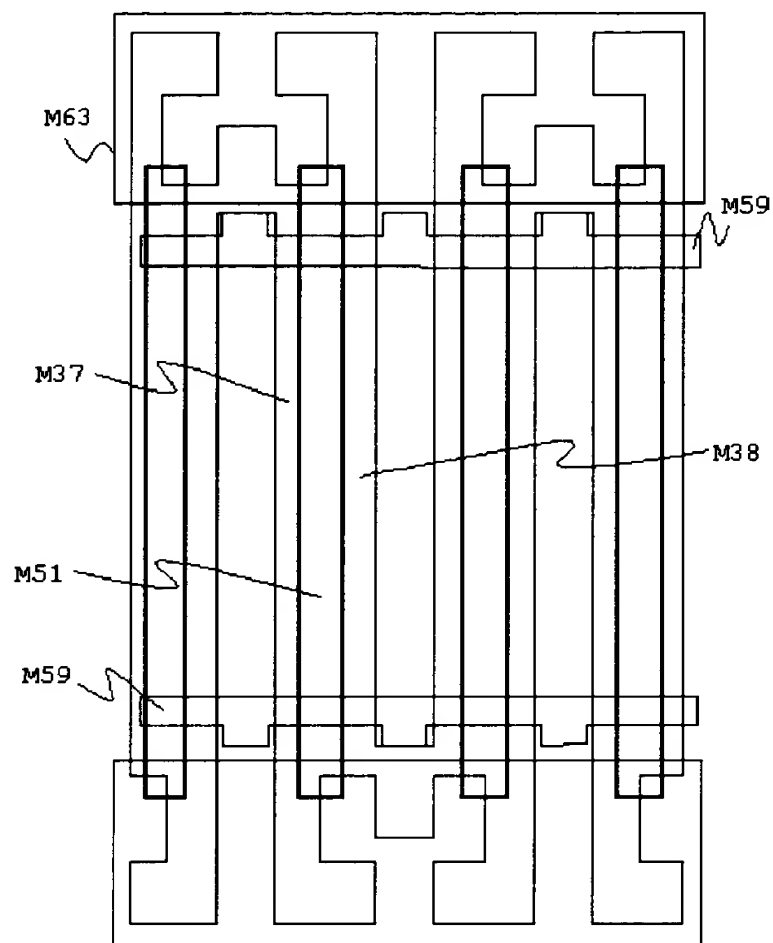
【図 3 1】

図 3 1

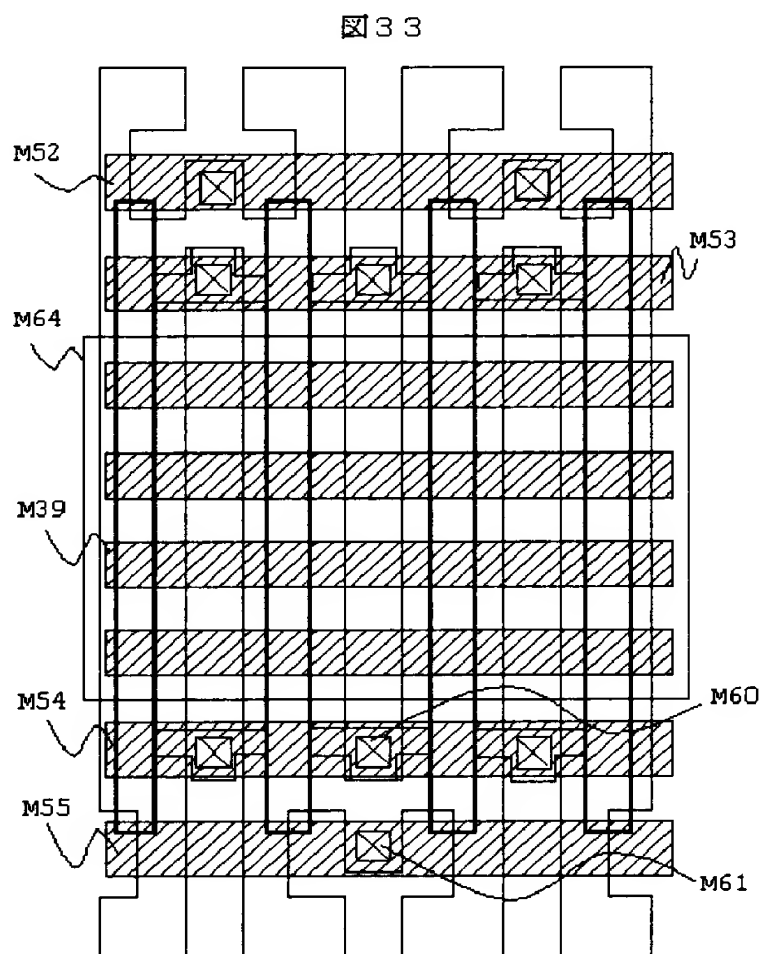


【図 3 2】

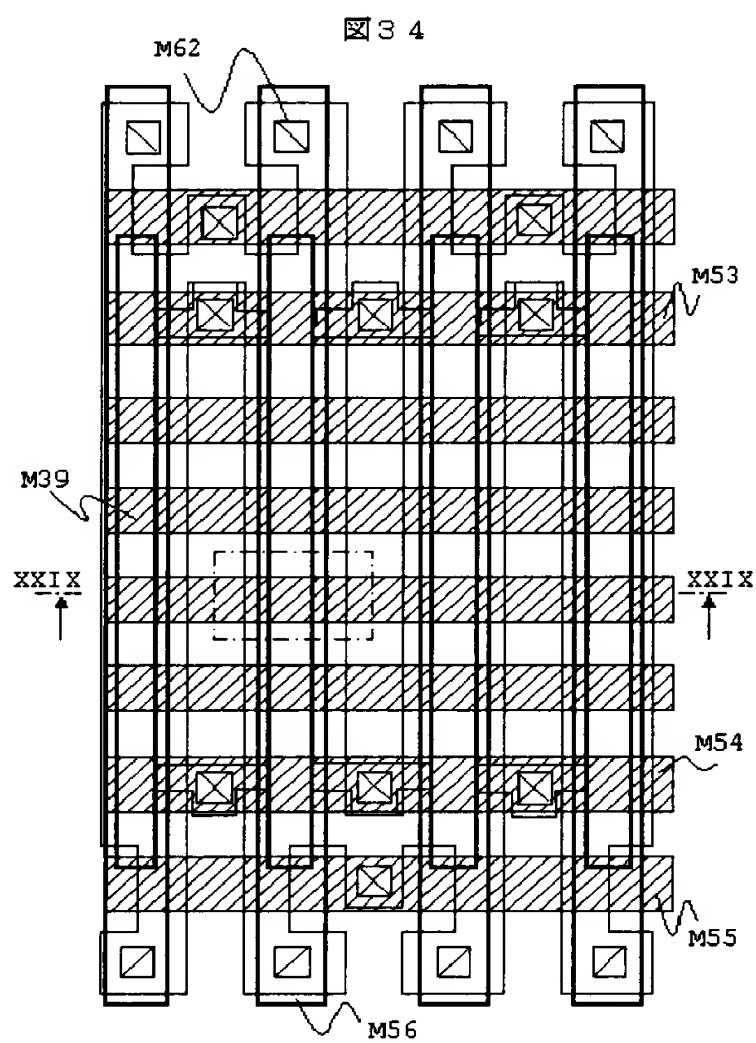
図 3 2



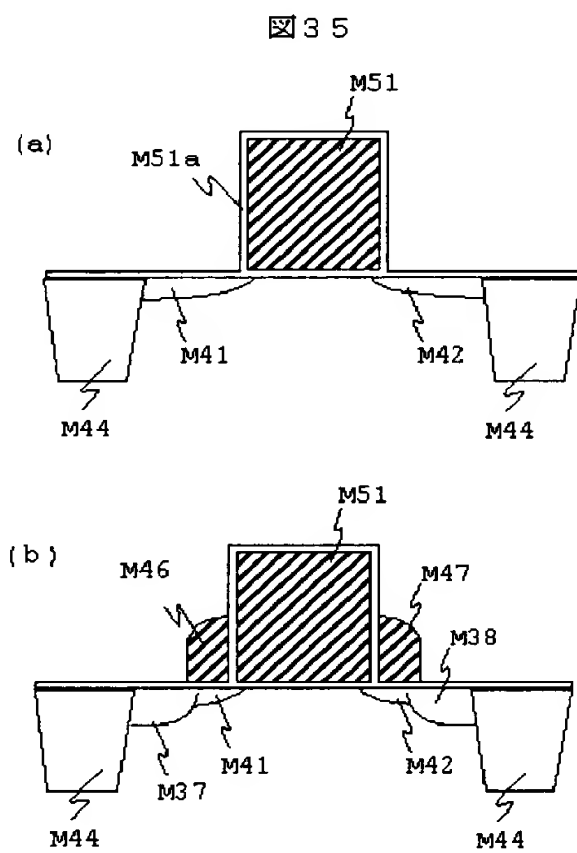
【図 3 3】



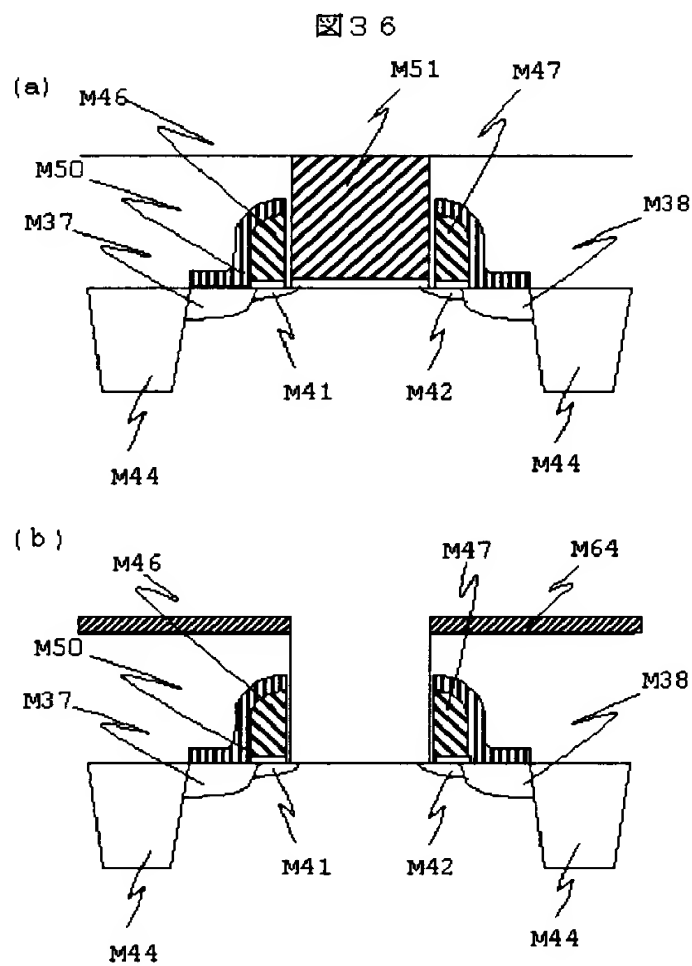
【図 3 4】



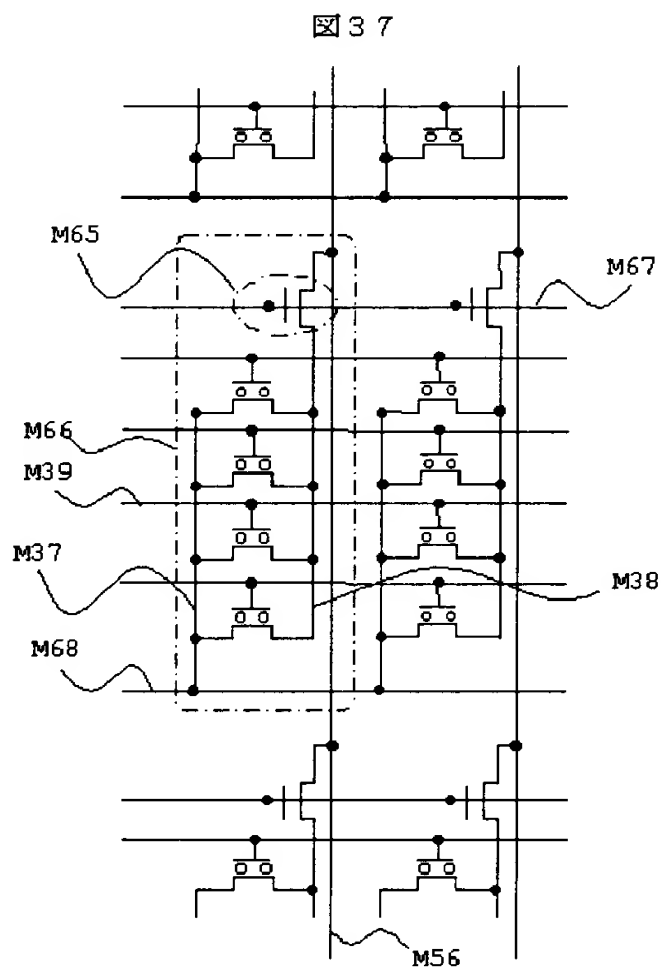
【図 35】



【図 36】

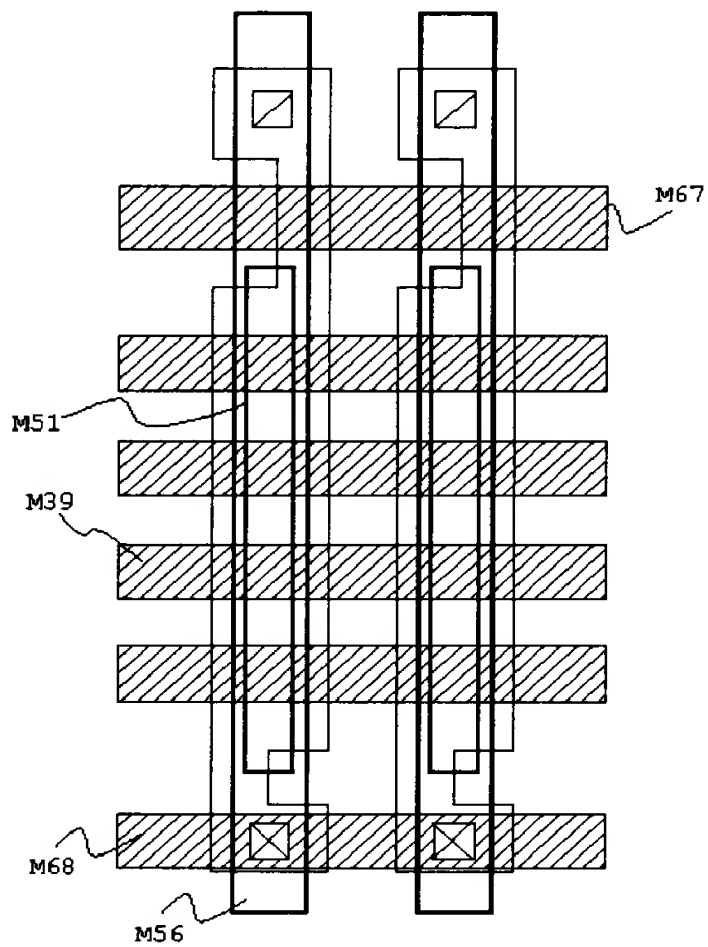


【図 37】



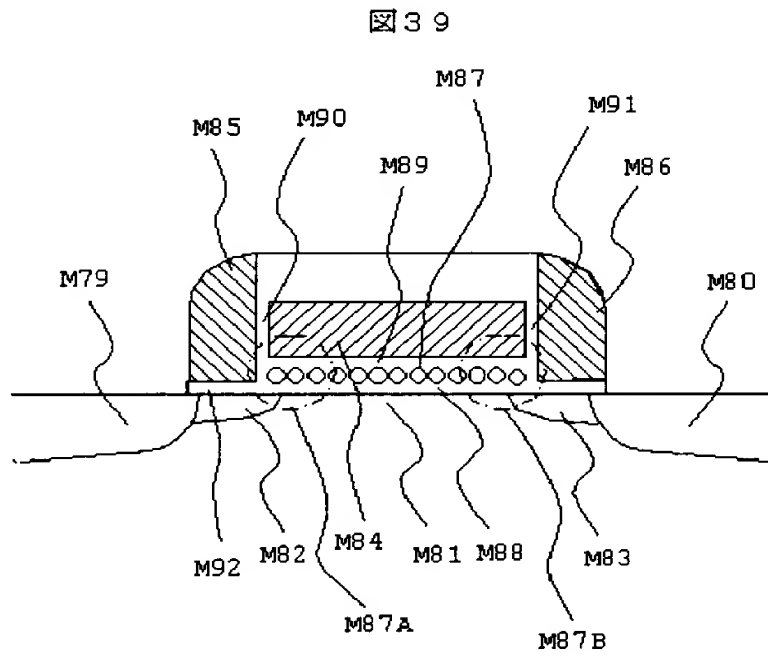
【図 38】

図 38

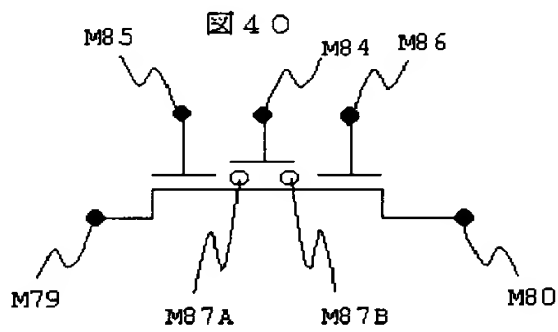




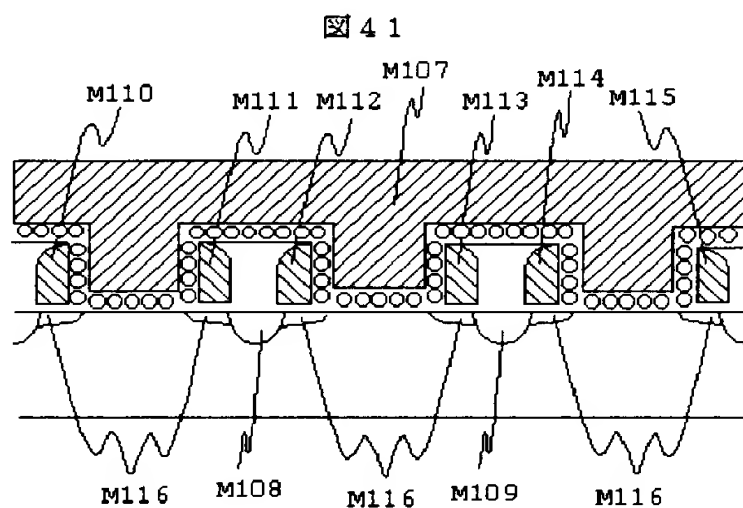
【図 3 9】



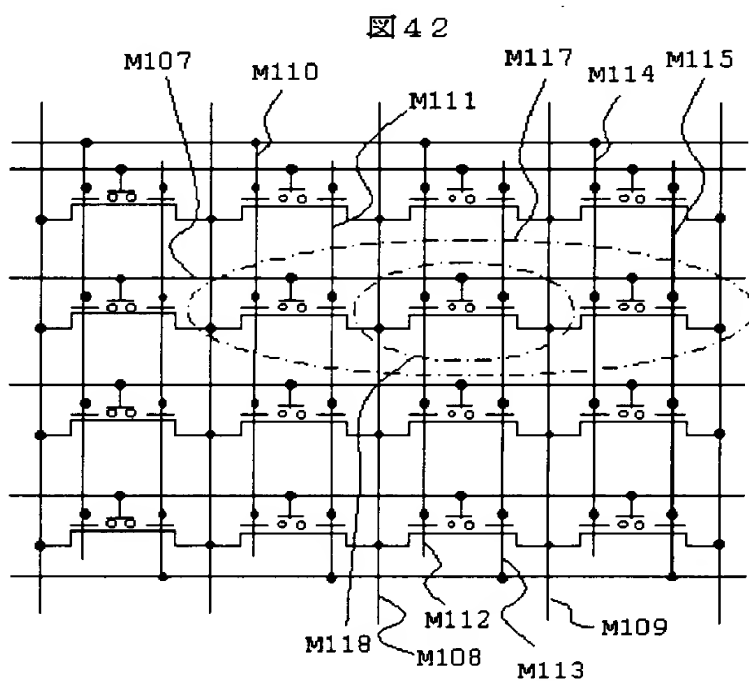
【図 4 0】



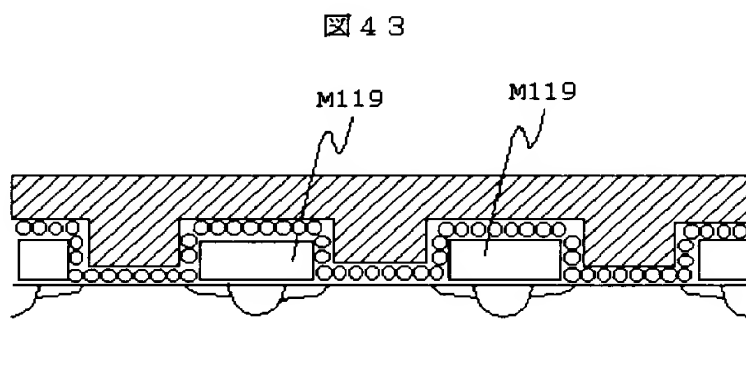
【図 4 1】



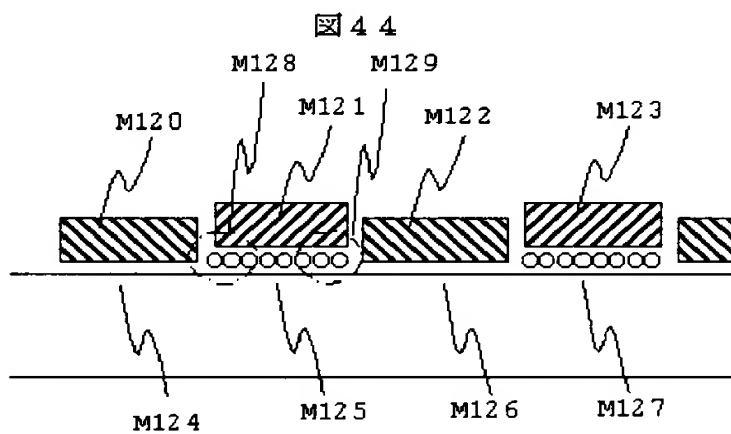
【図 4 2】



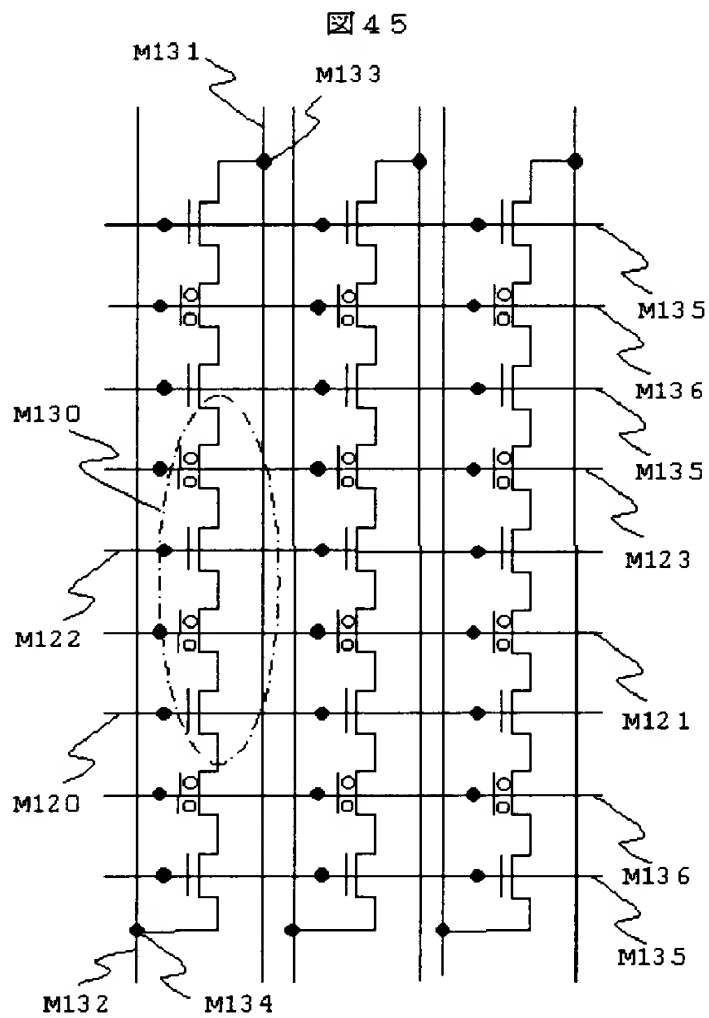
【図 4 3】



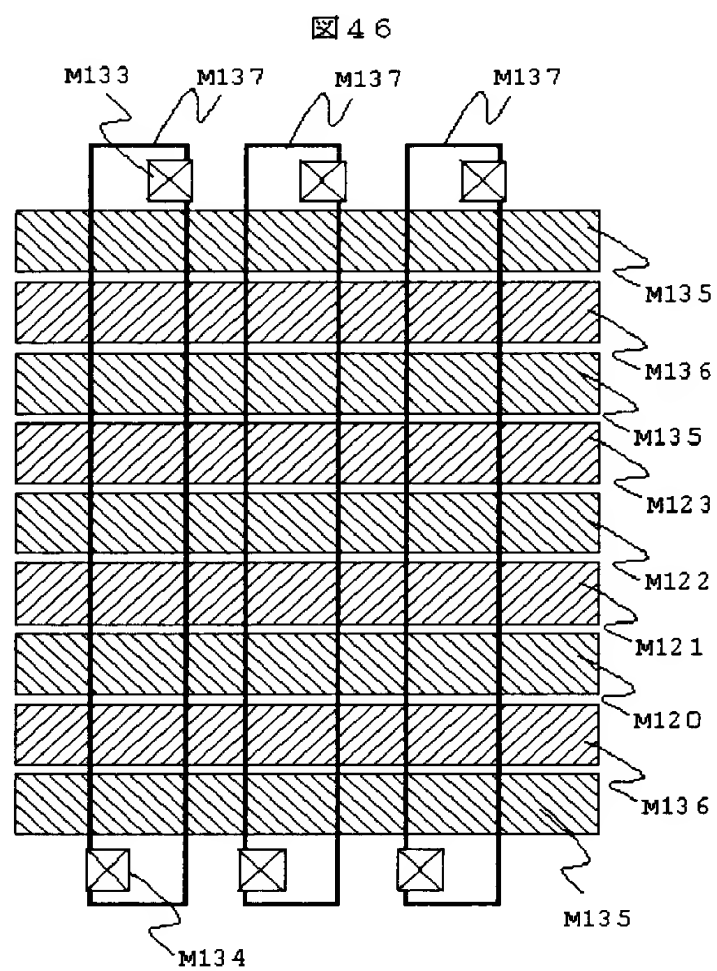
【図 4 4】



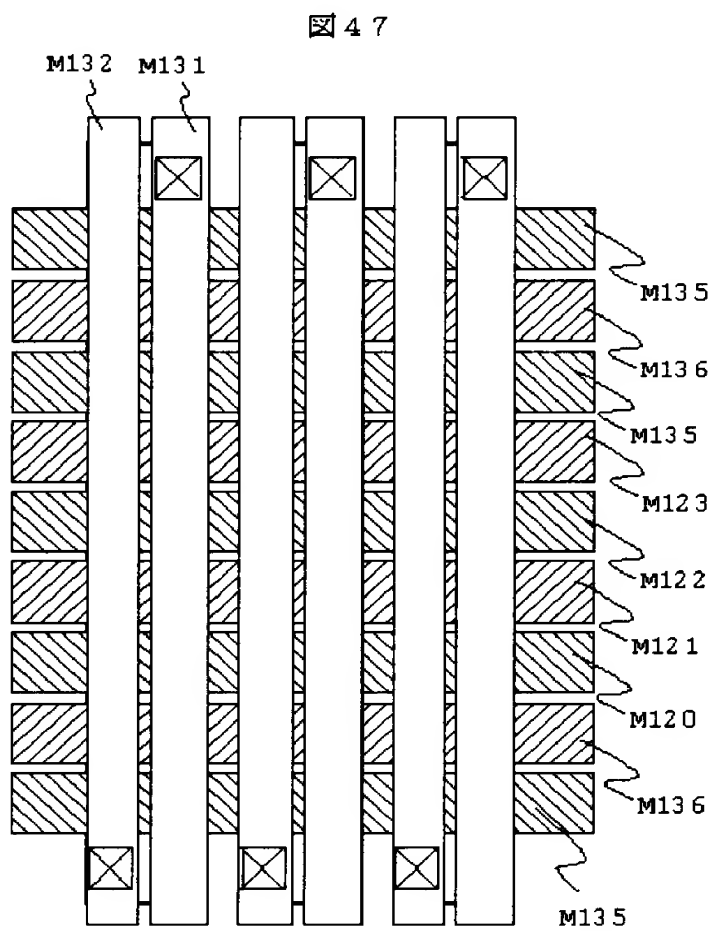
【図 45】



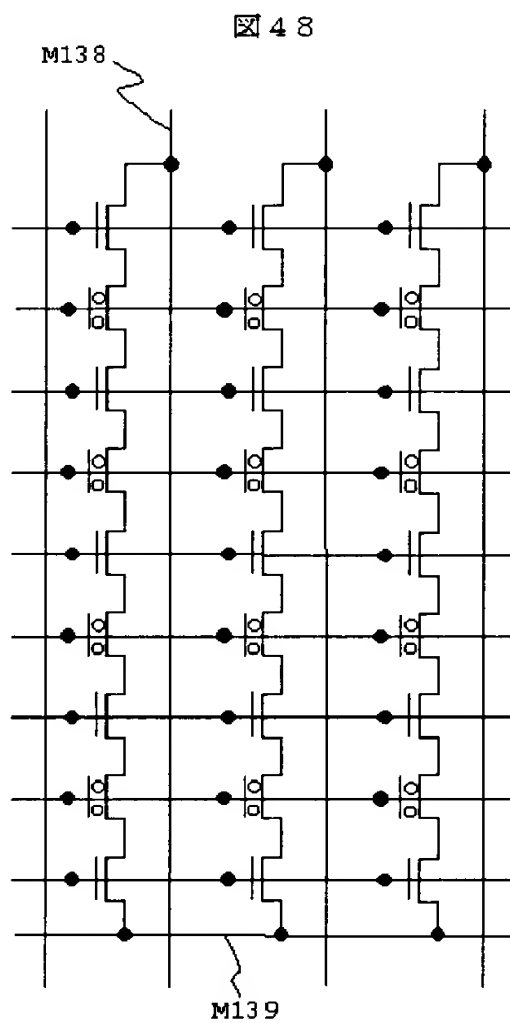
【図 4 6】



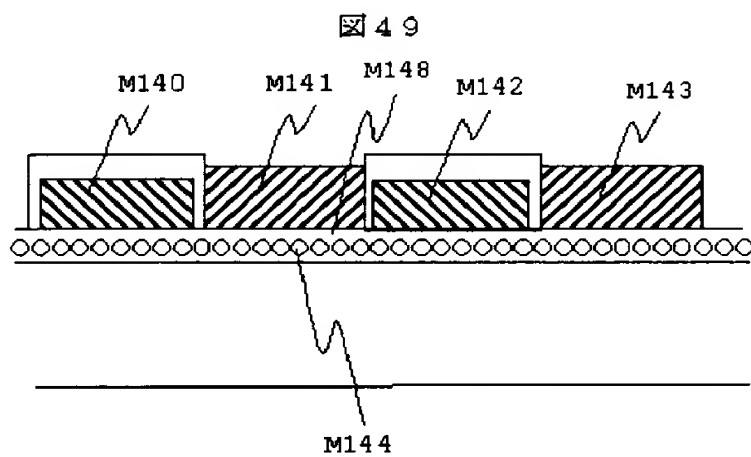
【図 47】



【図 4 8】

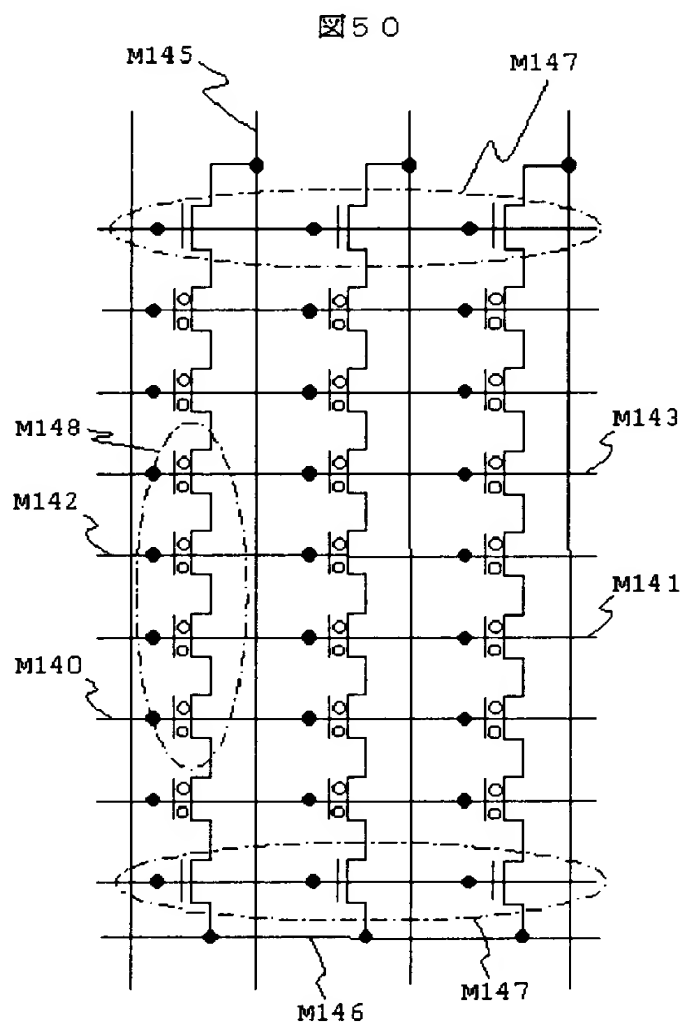


【図 4 9】

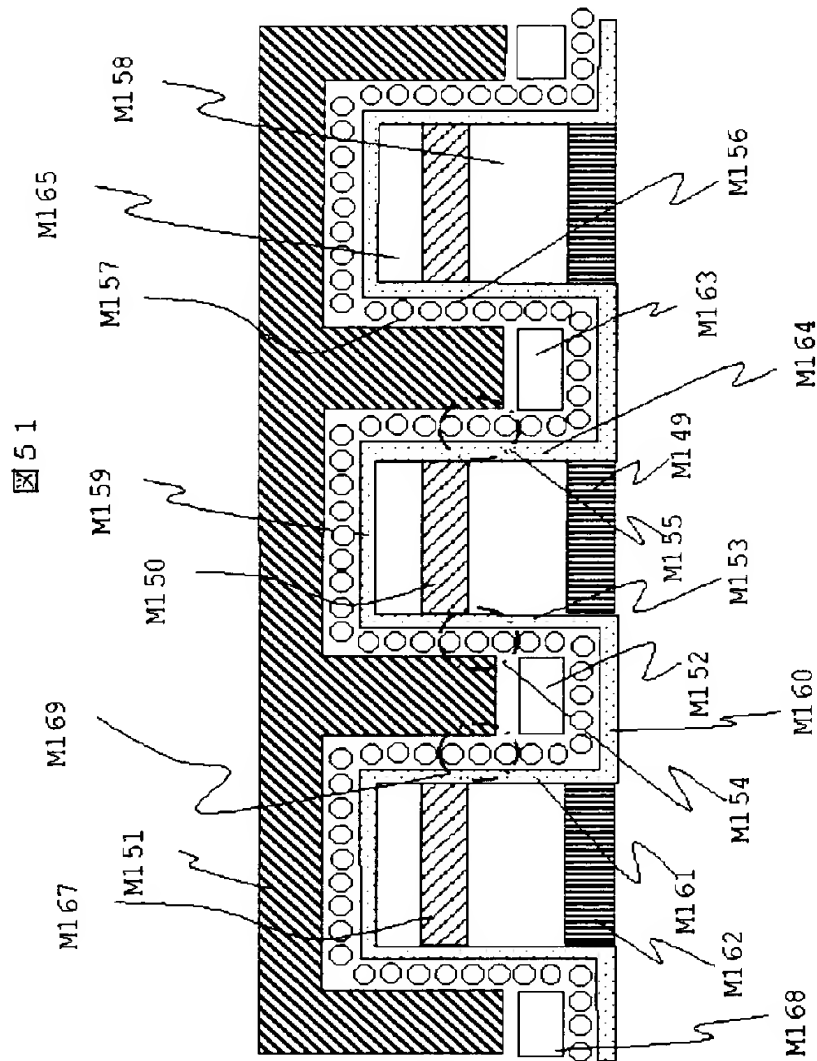




【図 50】

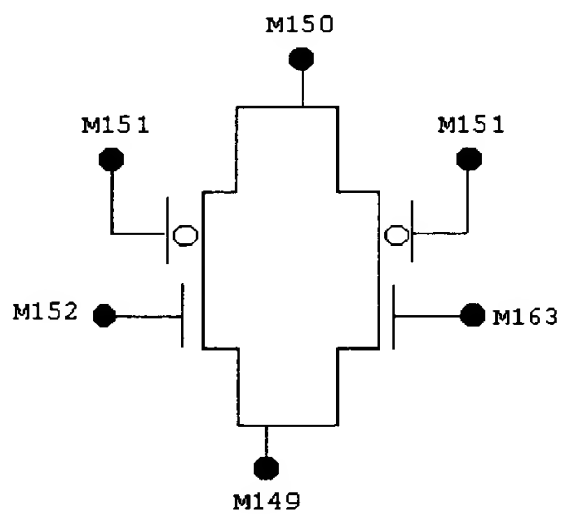


【図 51】



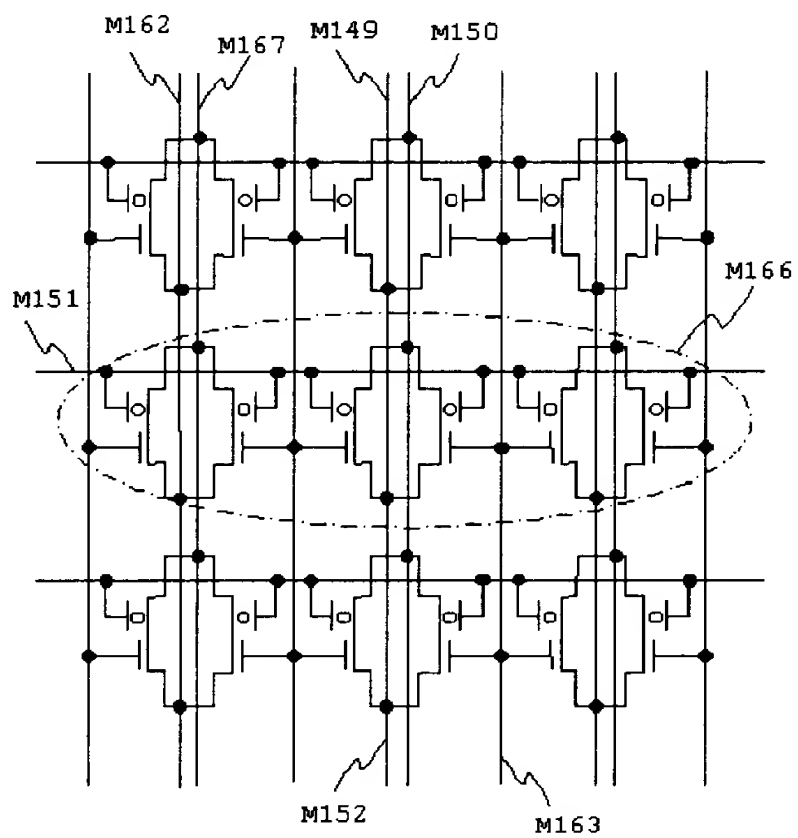
【図 5 2】

図 5 2



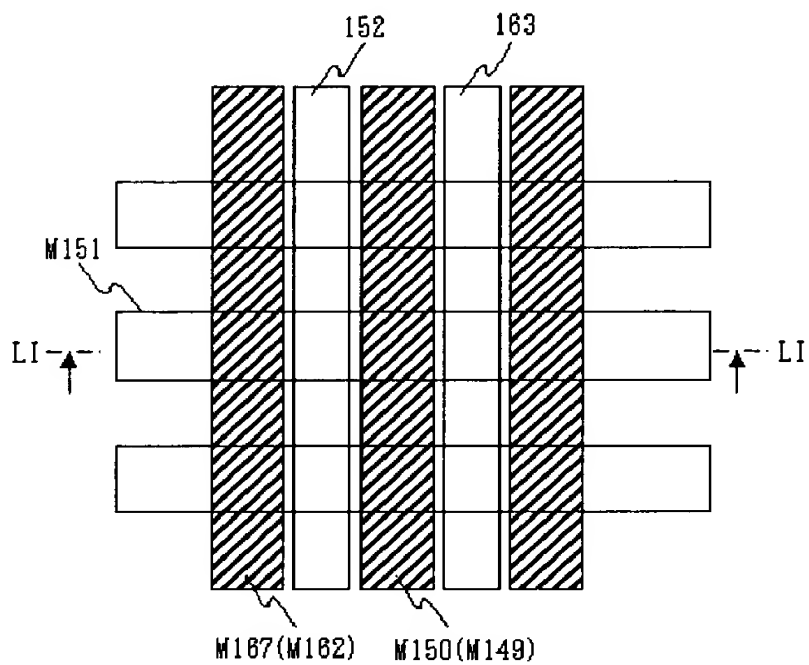
【図 53】

図 53



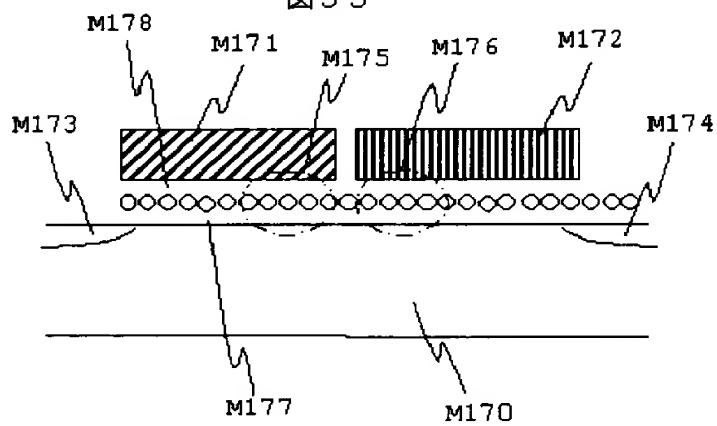
【図 5 4】

図 5 4

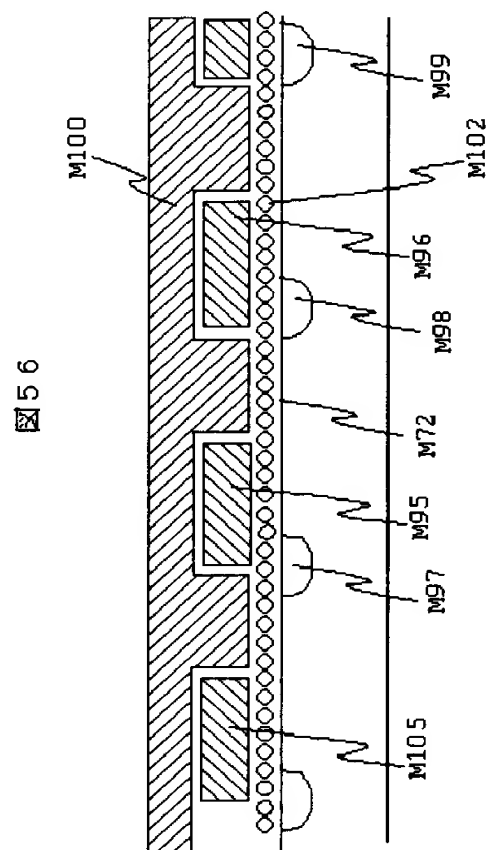


【図 5 5】

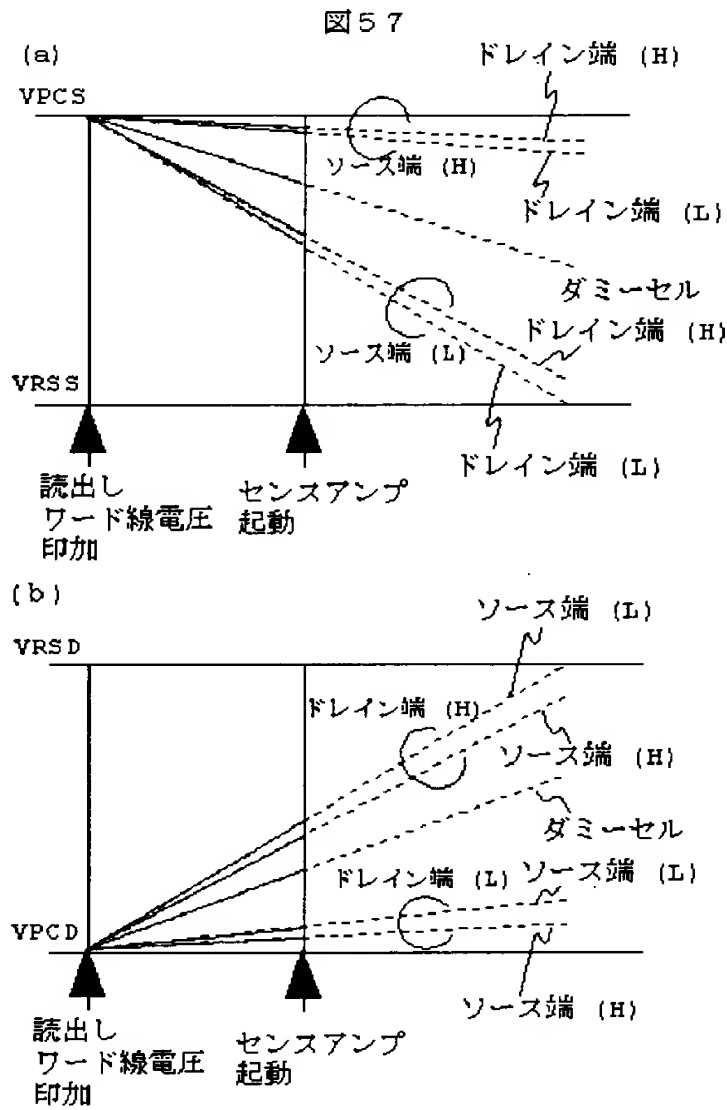
図 5 5



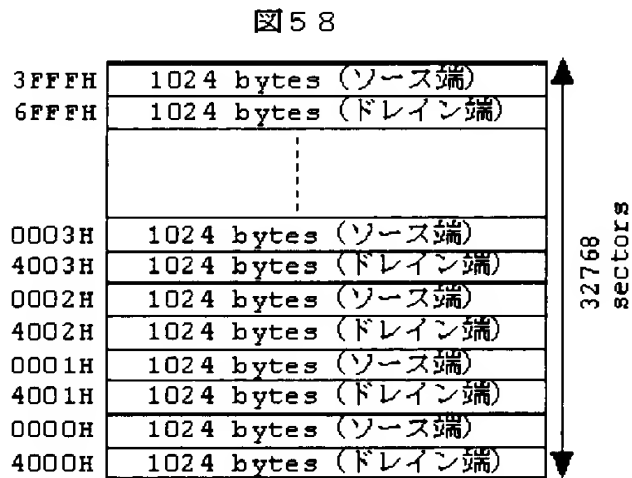
【図 5 6】



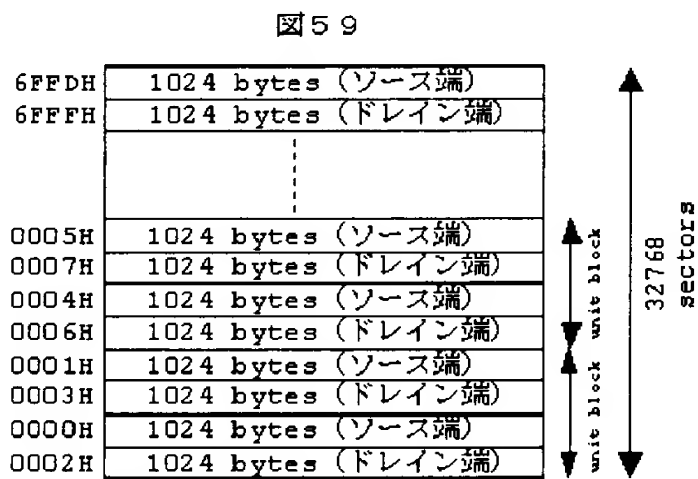
【図 57】



【図 5 8】

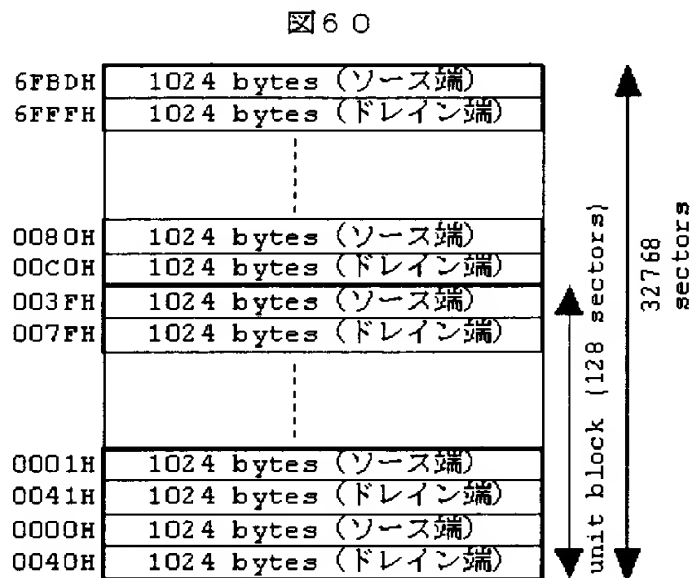


【図 5 9】





【図 6 0】



【書類名】 要約書

【要約】

【課題】 ECCなどの電氣的にメモリセルの不良を回避する代わりに、セルレベルの信頼性を向上することで安価の半導体記憶装置を提供すること。さらには信頼性を確保しつつ縦方向のスケーリングを実現できるセル構造を提供すること。

【解決手段】 高速読み出しが要求される半導体記憶装置で、電荷蓄積領域を多数個の独立した半導体の電荷蓄積小領域よりなる微粒子で構成することにより、セルレベルで信頼性をあげる。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所